



Dpto. Electrónica y Tecnología de Computadores  
Universidad de Granada

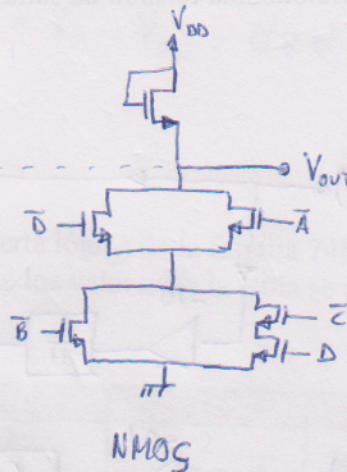
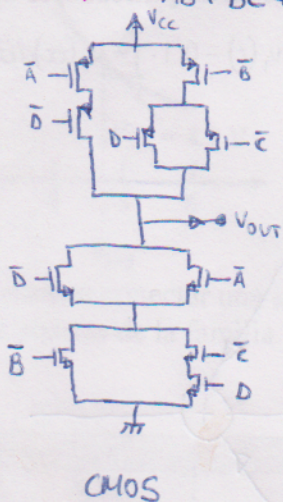
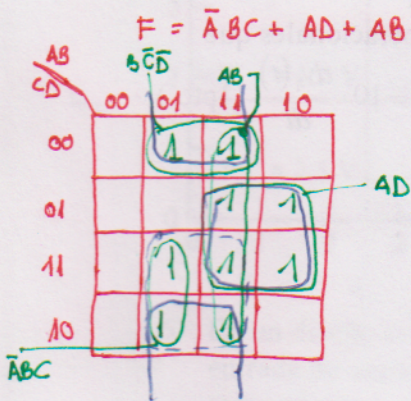
# FUNDAMENTOS TECNOLÓGICOS DE LOS COMPUTADORES

Ingeniería Informática  
Examen Junio 2008

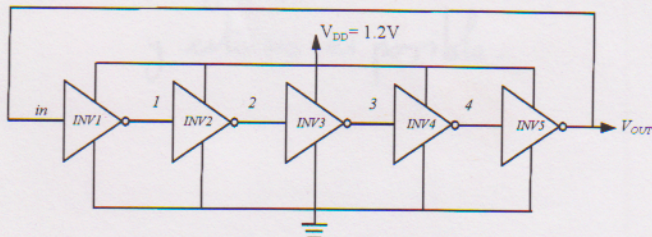
Duración: 2 horas

SOLUCIÓN

1. Implementa la función lógica  $F = \overline{A}BC + A(D+B) + DB/C$  con tecnología NMOS y CMOS usando el mínimo número de recursos. (2 pts.)



2. El consumo de cada inversor CMOS que conforma este anillo oscilador en funcionamiento es de  $15.5 \mu\text{W}$ . Inicialmente ( $t=0\text{s}$ ) la tensión en el nodo  $in$  vale  $0\text{V}$ . Los tiempos de retraso de cada puerta son  $t_{pHL}^{INV1}, t_{pLH}^{INV1}, t_{pHL}^{INV2}, t_{pLH}^{INV2}, t_{pHL}^{INV3}, t_{pLH}^{INV3}, t_{pHL}^{INV4}, t_{pLH}^{INV4}, t_{pHL}^{INV5}, t_{pLH}^{INV5}$ .



Se pide:

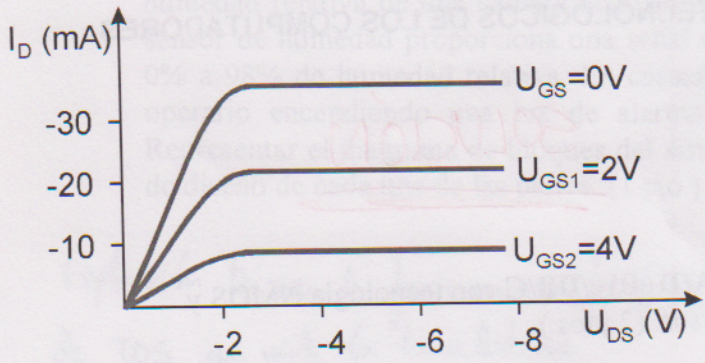
- Calcular potencia consumida por el oscilador completo (0.5 pts.)
- Calcular el retraso con el que un flanco de  $0\text{V}$  a  $1.2\text{V}$  en la entrada  $in$  sale por  $V_{out}$  (0.5 pto.)

a)  $P_{TOTAL} = 5 \times 15.5 \mu\text{W} = 77.5 \mu\text{W}$

b)  $t_{PLH} = t_{PLH}^1 + t_{PHL}^2 + t_{PLH}^3 + t_{PHL}^4 + t_{PLH}^5$



3. Un dispositivo que forma parte de un diseño de puerta lógica digital presenta unas curvas  $I_D$ -V como las figura. A qué dispositivo corresponde: (0.5 pto.)

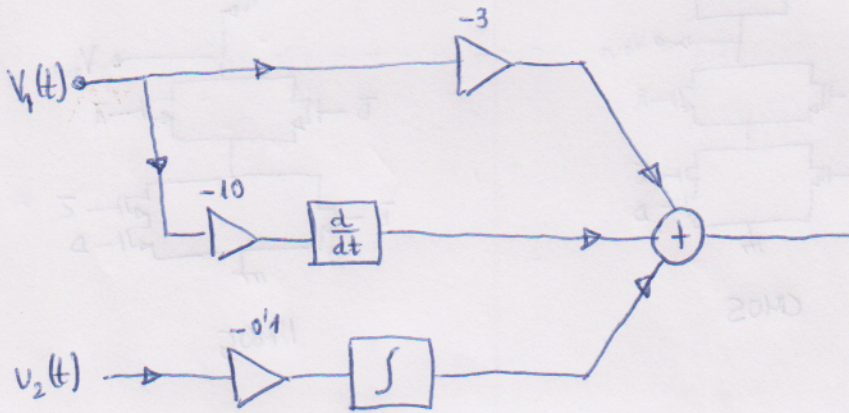


$I_D$ -V como las figura. A qué dispositivo corresponde: (0.5 pto.)

- TRT JFET - N
- TRT JFET - P
- TRT BJT - NPN
- TRT BJT - PNP
- Diodo PN
- TRIODO Canal - N
- TRT MOSFET - N
- TRT MOSFET - P

4. Se necesita diseñar un circuito electrónico basado en amplificadores operacionales que

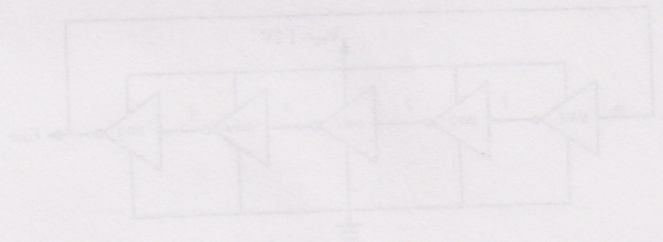
proporcione una tensión de salida  $v_{OUT}(t) = -3 \cdot v_1(t) - 0.1 \cdot \int_{-\infty}^t v_2(\sigma) d\sigma - 10 \cdot \frac{dv_1(t)}{dt}$  (1 pto.)



Implementar los bloques usando los mínimos recursos.

5. El consumo de cada inversor CMOS que conforma este ancho escalador en funcionamiento es de 15.2  $\mu$ W. Inicialmente ( $t=0$ ) la tensión en el nodo es 0V. Los tiempos de retardo de cada puerta son  $t_{PHL} = 1.5$  ns y  $t_{PLH} = 2.5$  ns.

- a) Calcular potencia consumida por el oscilador completo (0.2 pto.)
- b) Calcular el retardo con el que un banco de 0V a 1.5V en la entrada se sale por  $K_{eff}$  (0.2 pto.)

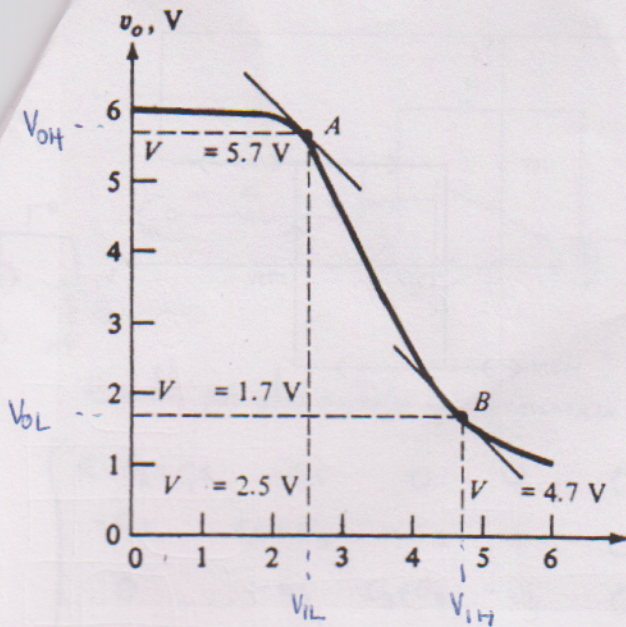


$$P_{total} = 5 \times 15.2 \mu W = 77.5 \mu W$$

$$t_{total} = t_{PHL} + t_{PLH} + t_{PHL} + t_{PLH} + t_{PHL} + t_{PLH} + t_{PHL} + t_{PLH} + t_{PHL} + t_{PLH}$$



5. Para el inversor de la figura, rellenar los datos de la tabla: (0.5 ptos.)



- $V_{IH} = 4.7 \text{ V}$
- $V_{IL} = 2.5 \text{ V}$
- $V_{OH} = 5.7 \text{ V}$
- $V_{OL} = 1.7 \text{ V}$
- $NM_H = V_{OH} - V_{IH} = 1 \text{ V}$
- $NM_L = V_{IL} - V_{OL} = 0.8 \text{ V}$

6. En un diseño se plantea conectar una salida de una puerta lógica de la familia 74LS con la entrada de varias puertas de la familia 74HC. Mediante los valores de la tabla se pretende responder a:

Parámetro	74HC	74	74LS	74S	74AS
$V_{IH}(\text{min})$ (V)	3,15	2	2	2	2
$V_{IL}(\text{max})$ (V)	1	0,8	0,8	0,8	0,8
$V_{OH}(\text{min})$ (V)	4,9	2,4	2,7	2,7	2,7
$V_{OL}(\text{max})$ (V)	0,1	0,4	0,4	0,5	0,5
$I_{IH}(\text{max})$	1 $\mu\text{A}$	40 $\mu\text{A}$	20 $\mu\text{A}$	50 $\mu\text{A}$	200 $\mu\text{A}$
$I_{IL}(\text{max})$	-1 $\mu\text{A}$	-1,6 mA	-400 $\mu\text{A}$	-2 mA	-2 mA
$I_{OH}(\text{max})$	-4 mA	-400 $\mu\text{A}$	-400 $\mu\text{A}$	-1 mA	-2 mA
$I_{OL}(\text{max})$	4 mA	16 mA	8 mA	20 mA	20 mA

¿ Son compatibles ambas familias para el caso propuesto? (0.5 ptos.)

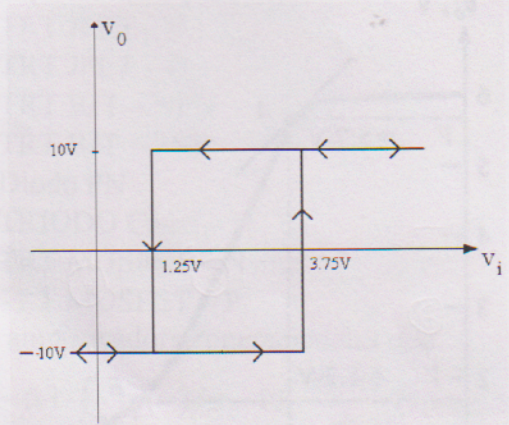
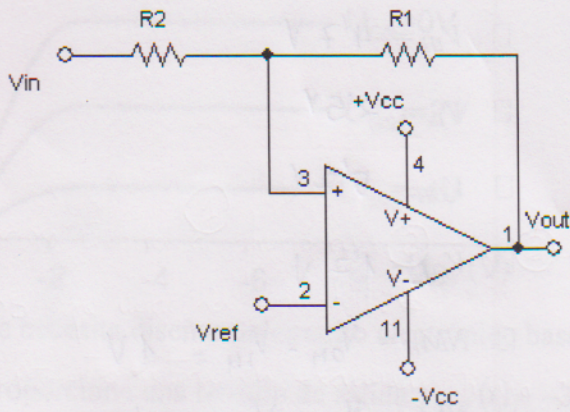
NO ya que si calculamos  $NM_H' = V_{OH}^{LS} - V_{IH}^{HC} = 2.7 - 3.15 = -0.45 \text{ V}$  y esto no es posible.

¿ Cuántas puertas de entrada de la familia 74HC se pueden conectar a la salida de una puerta de las familia 74LS? (0.5 ptos.)

No son compatibles y por lo tanto no se pueden conectar.



7. Dado el siguiente comparador, determina el valor de  $R_1$ ,  $R_2$ ,  $V_{ref}$ ,  $+V_{cc}$  y  $-V_{cc}$  para que su salida se adecue al diagrama de la figura. (1.5 pts.)



Resueltos en exámenes anteriores

$$R_1 = 8R_2$$

$$R_2$$

$$V_{REF} = 2.22V$$

$$V_{cc} = +10V$$

$$-V_{cc} = -10V$$

Examen Junio 2007

Pin	Función	Conexión	Conexión	Conexión	Conexión
1	V <sub>out</sub>	10V	10V	10V	10V
2	V <sub>ref</sub>	2.22V	2.22V	2.22V	2.22V
3	V <sub>+</sub>	10V	10V	10V	10V
4	V <sub>+</sub>	10V	10V	10V	10V
11	V <sub>-</sub>	-10V	-10V	-10V	-10V

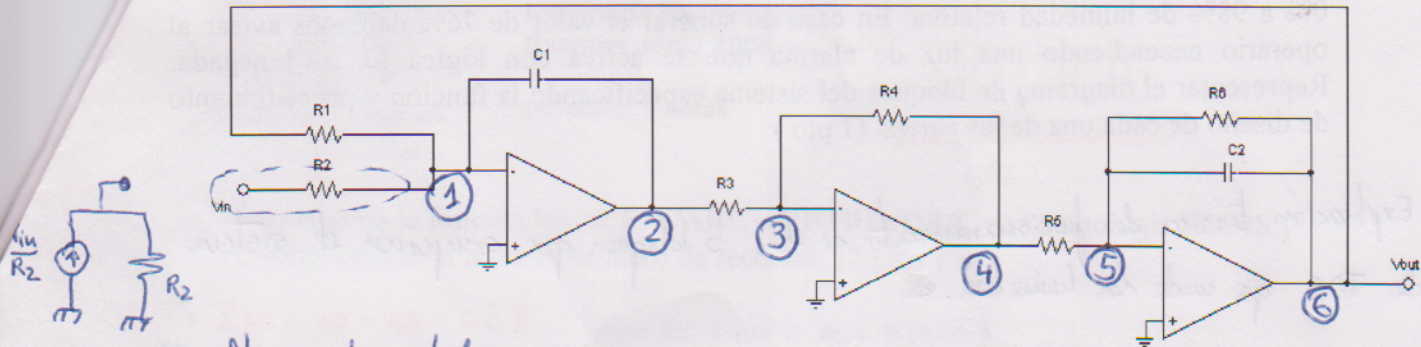
$V_{out} = 10V$  for  $V_i > 3.75V$   
 $V_{out} = -10V$  for  $V_i < 1.25V$   
 $V_{out} = 0V$  for  $1.25V < V_i < 3.75V$

El número de pines de entrada de la familia TTL se pueden conectar a la salida de una puerta de la familia TTL (0.2 pts)

No son compatibles por lo tanto se pueden conectar



8. Dado el circuito de la figura, obtener  $H(s) = V_{out}/V_{in}$  utilizando el método matricial. (1.5 pto.)



Resultado por otro método en examen Junio 2007

$$\begin{bmatrix}
 G_1 + G_2 + C_1 s & -G_1 & 0 & 0 & 0 & -G_1 \\
 -G_1 & C_1 s + G_3 & -G_3 & 0 & 0 & 0 \\
 0 & -G_3 & G_3 + G_4 & -G_4 & 0 & 0 \\
 0 & 0 & -G_4 & G_4 + G_5 & -G_5 & 0 \\
 0 & 0 & 0 & -G_5 & G_5 + G_6 + C_2 s & -G_6 - C_2 s \\
 -G_1 & 0 & 0 & 0 & -G_6 - C_2 s & G_1 + G_6 + C_2 s
 \end{bmatrix}
 \begin{bmatrix}
 V_1 \\
 V_2 \\
 V_3 \\
 V_4 \\
 V_5 \\
 V_6
 \end{bmatrix}
 =
 \begin{bmatrix}
 V_{in} \cdot G_2 \\
 0 \\
 0 \\
 0 \\
 0 \\
 0
 \end{bmatrix}$$

Por cortocircuito virtual  $V_1 = V_3 = V_5 = 0 V$ , aplicamos la técnica estudiada en clase

$$\begin{bmatrix}
 -G_1 & 0 & -G_1 \\
 -G_3 & -G_4 & 0 \\
 0 & -G_5 & -G_6 - C_2 s
 \end{bmatrix}
 \begin{bmatrix}
 V_2 \\
 V_4 \\
 V_6
 \end{bmatrix}
 =
 \begin{bmatrix}
 V_{in} \cdot G_2 \\
 0 \\
 0
 \end{bmatrix}$$

$$V_6 = \frac{
 \begin{vmatrix}
 -G_1 & 0 & V_{in} \cdot G_2 \\
 -G_3 & -G_4 & 0 \\
 0 & -G_5 & 0
 \end{vmatrix}
 }{
 \begin{vmatrix}
 -G_1 & 0 & -G_1 \\
 -G_3 & -G_4 & 0 \\
 0 & -G_5 & -G_6 - C_2 s
 \end{vmatrix}
 }
 = \frac{V_{in} \cdot G_2 \cdot G_3 \cdot G_5}{-G_1 \cdot G_4 (G_6 + C_2 \cdot s) - G_1 G_3 G_5}$$

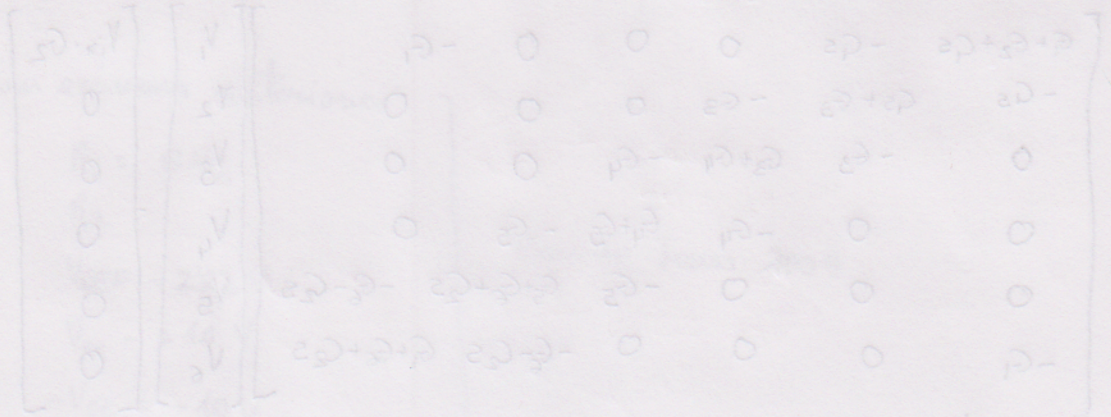
$$= \frac{V_{in} \cdot G_2 \cdot G_3 \cdot G_5}{-G_1 \cdot s \cdot G_4 G_6 - G_4 G_1 s^2 \cdot C_2 - G_1 G_3 G_5}$$

$$\frac{V_6}{V_{in}} = H(s) = \frac{-1}{R_2 R_3 R_5 \left( \frac{C_1 C_2}{R_4} s^2 + \frac{C_1}{R_4 R_6} s + \frac{1}{R_1 R_3 R_5} \right)}$$



9. Somos contratados para diseñar un sistema de tratamiento digital de la señal que mide la humedad relativa de una cámara acorazada donde se guarda un cuadro de gran valía. El sensor de humedad proporciona una señal eléctrica que va de -3 a -1.5 V en el rango de 0% a 98% de humedad relativa. En caso de superar el valor de 76% debemos avisar al operario encendiendo una luz de alarma que se activa con lógica [0, 5V] negada. Representar el diagrama de bloques del sistema especificando la función y procedimiento de diseño de cada una de las partes. (1 pts.)

Explicación teórica de funcionamiento de los 5 bloques que componen el sistema de TDS que mide la humedad.



ad es distributo munit al mundo,  $V_0 = V_1 - V_2 = V$  (partially obscured text)

$$\begin{aligned}
 & \left[ \begin{array}{c} V_1 \\ 0 \\ 0 \end{array} \right] \cdot \left[ \begin{array}{ccc} R_1 & 0 & R_2 \\ 0 & R_3 & R_4 \\ R_5 & R_6 & R_7 \end{array} \right] = \left[ \begin{array}{c} V_2 \\ 0 \\ 0 \end{array} \right] \\
 & \frac{V_1 \cdot (R_1 R_3 + R_1 R_4 + R_2 R_3 + R_2 R_4)}{R_1 R_3 + R_1 R_4 + R_2 R_3 + R_2 R_4} = V_2
 \end{aligned}$$

$$\frac{V_2}{V_1} = H(s) = \frac{1}{\frac{R_1 R_3}{R_2 R_3} + \frac{R_1}{R_2 R_3} + \frac{R_2}{R_1 R_3} + 1}$$