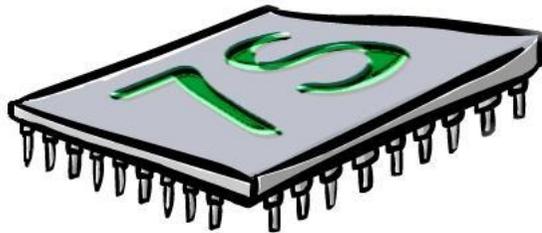


Curso de diseño de PCB. Coordinador: Andrés, Roldán Aranda,  
ETSIT, salón de grados, de 16h a 17:30h

# Ejemplos de PCB's, problemas de diseño, PROYECTO 7S



SEVEN  
SOLUTIONS



ugr

Universidad  
de Granada

**Por Richard Carrillo y Rodrigo Agis**

**[rcarrillo@sevensols.com](mailto:rcarrillo@sevensols.com) [ragis@sevensols.com](mailto:ragis@sevensols.com)**

**[rcarrillo@atc.ugr.es](mailto:rcarrillo@atc.ugr.es) [ragis@atc.ugr.es](mailto:ragis@atc.ugr.es)**

# Contenido

## 1. La empresa (Rodrigo)

- Como surge 7S
- Líneas de trabajo
- Innovación y tecnología

## 2. Proyectos de diseño (Rodrigo)

- Sistema de localización de medicamentos para farmacias
- Tarjeta coprocesadora PCI Xirca V2
- Tarjeta coprocesadora PCI-Express Xirca V4
- ...

## 3. Consideraciones en el diseño de PCB con FPGA (Richard)

- Líneas de transmisión y ruteo de la señal
- Restricciones para la fabricación

## 4. Técnica de soldadura reflujo IR para BGA (Rodrigo)

# ¿Cómo surge 7S?



**Seven Solutions:** nace hace dos años como **Spin-Off** de la Universidad de Granada.

## **El equipo promotor:**

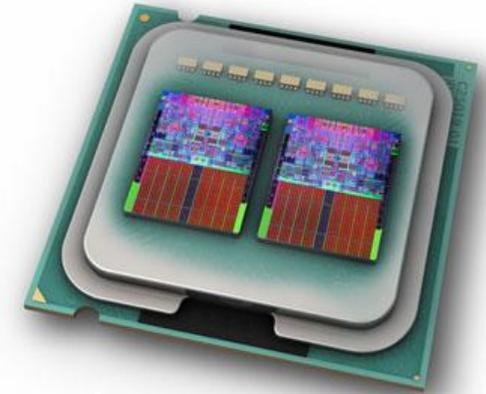
- 7 miembros (Ing. Electrónica, Ing. Informática y Licenciados en Física), cinco somos doctores.
- **(Actualmente somos 12 personas)**
- Perfil (Telecomunicaciones, Ing. Informática y Electrónica)

## **Know-How del grupo:**

- Investigación (participado proyectos europeos **SPIKEFORCE, ECOVISION, SENSOPAC, DRIVSCO**)
  - Somos expertos en: diseño de electrónica de propósito específico y arquitecturas de procesamiento de altas prestaciones (**CPLD/FPGA Hardware Reconfigurable**).
-

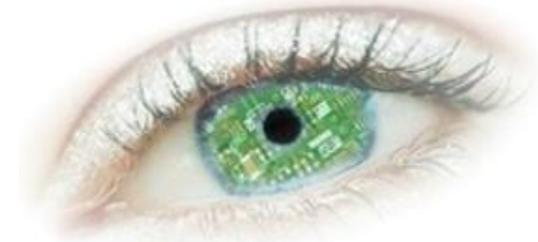
# Líneas de trabajo.

- n **Desarrollo de circuitos PCB de altas prestaciones** que incluyen FPGAs.
- n **Desarrollo de *CORES empotrados***: “configuraciones de dispositivos FPGA”
- n **Consultoría tecnológica y estudios de viabilidad** en diversas áreas:
  - **Automatismos y Robótica**
  - **Visión artificial -> *Sistemas de vigilancia activa***
  - **Contamos con experiencia en patentes y modelos de utilidad.**



# Innovación y tecnológica

- n El **producto estrella** son los **sistemas de procesamiento de imágenes en tiempo real**.



- n Diseñamos y utilizamos **unidades de procesamiento de altas prestaciones (cores)**, unas **20 veces más rápidas que los computadores actuales**, que pueden empotrarse en PCB's con hardware reconfigurable.

**Nosotros diseñamos nuestro propio hardware a medida que incluye FPGAs, procesadores de video, memoria DDR, SDRAM, SSRAM, Interfaces Ethernet GBit ....**

# Ejemplo: seguimiento en tiempo real



---

# Proyectos de diseño

Rodrigo Agis.

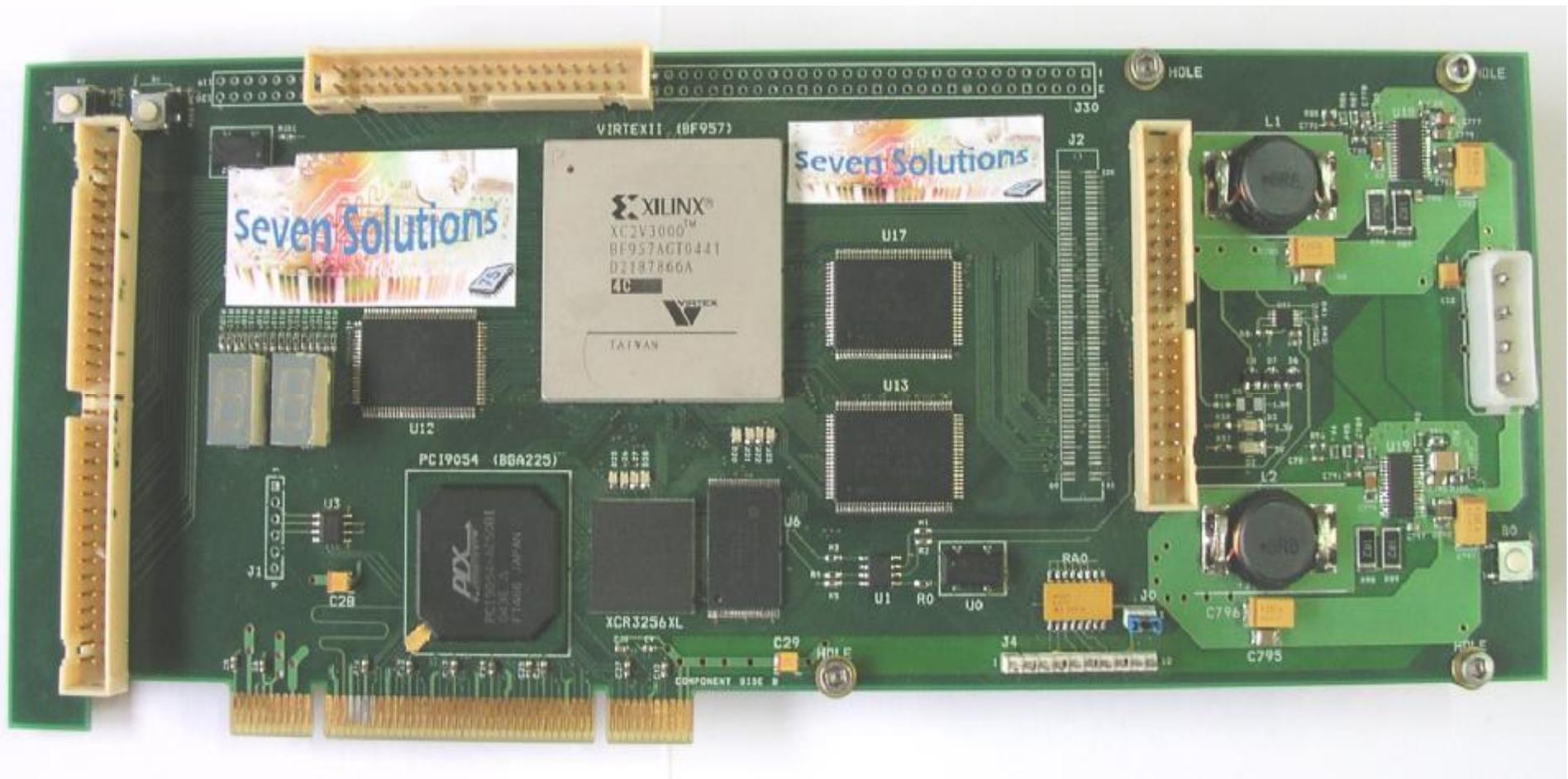
---

---

# Sistema de localización de medicamentos para farmacias



# Xirca V.2 Tarjeta coprocesadora PCI con FPGA de altas prestaciones



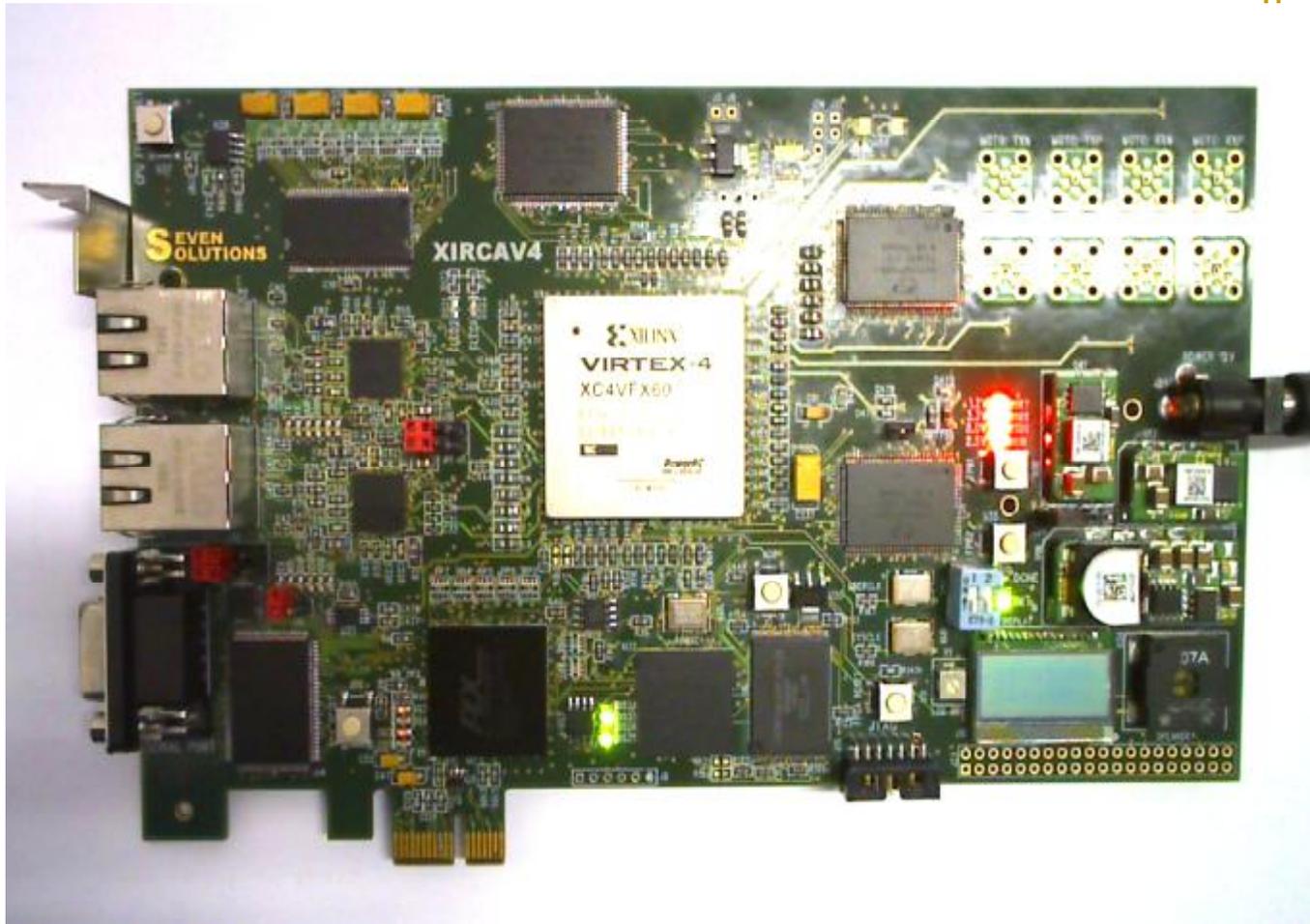
# Tarjeta interface de vídeo con Xirca V.2



- 2 entradas de video analógico
- 2 salidas VGA



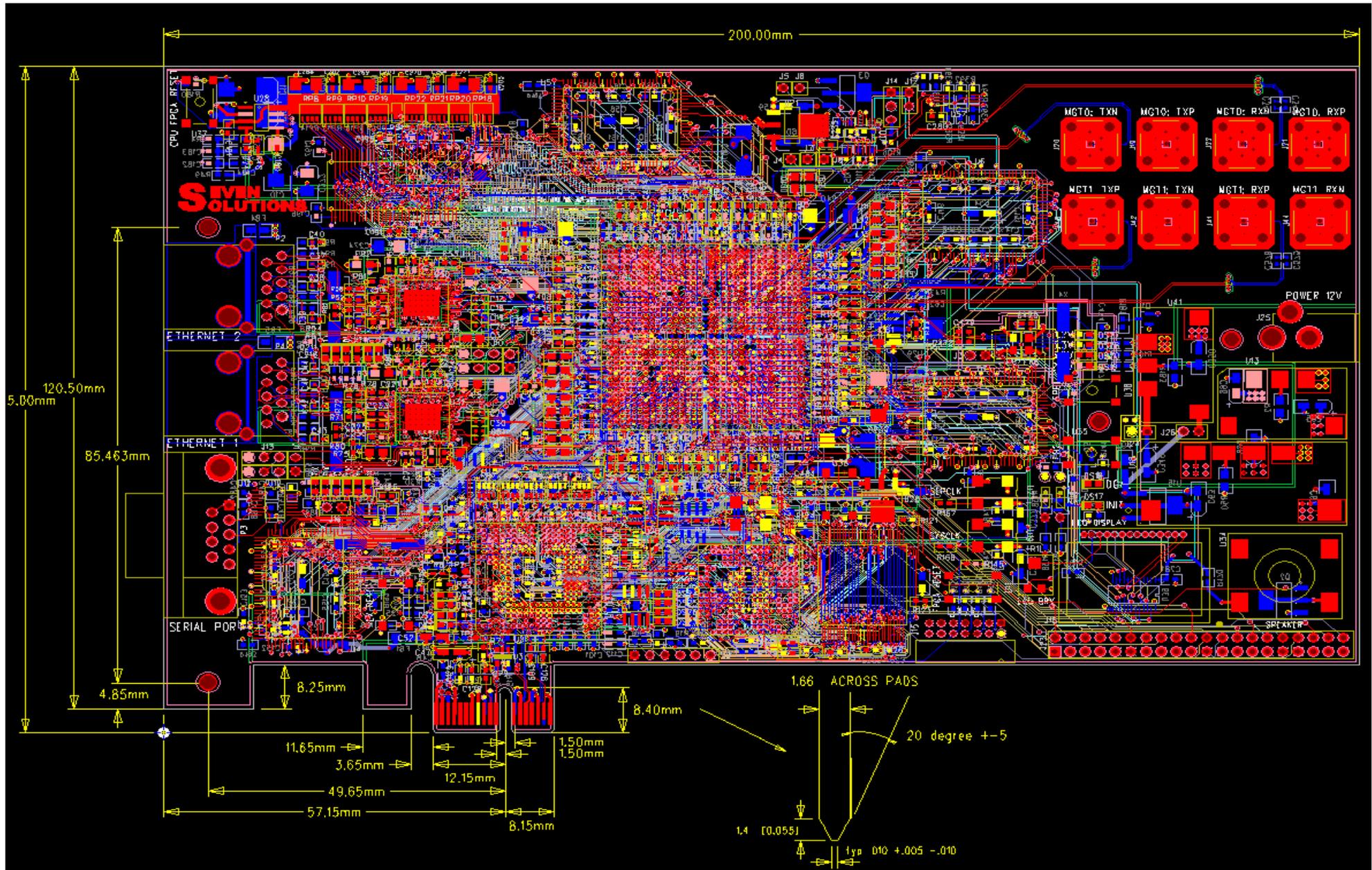
# -Xirca V4: Tarjeta coprocesadora PCI-Express



## n Características:

- q VIRTEX4 FPGA: XCV4FX60-10FFG1152.
- q 4 memorias SRAM de 72-Mbit (2M x 36).
- q 2 Transceivers Ethernet PHY 10/100/1000.
- q 2 memorias DDR de 512Mb.
- q 2 memorias Flash de 32MB.
- q PCIe 1x.
- q CPLD Arbitro del Bus local.
- q 4-Kb IIC EEPROM.
- q Oscilador de 125 MHz, 66 MHz y de 50 MHz.
- q 2 LEDs y 2 pulsadores.
- q Rocket IO transceivers (SMA) 10 Gbps.
- q Puerto de configuración JTAG.
- q 20 pins de expansión.
- q 1 LCD de 2 líneas de 8 caracteres.
- q 1 Speaker.

# - Xirca V4: Tarjeta coprocesadora PCI-Express



# - Demo Xirca V4: Tarjeta coprocesadora PCI-Express

The screenshot displays a Windows XP desktop environment. In the foreground, a 'Debug' window is open, showing a file explorer view of a folder named 'Debug'. The background features a command prompt window titled 'L:\P\B\PCF5dk\Win32\Samples\invertirsec\Debug\invertirsec.exe' with the text 'Press Any Key To Finish...'. To the right, the 'Administrador de tareas de Windows' (Task Manager) is open, showing system performance metrics. The 'Recursos' (Resources) tab is active, displaying CPU usage at 50%, memory usage at 403 MB, and disk activity. The 'Procesos' (Processes) tab is also visible, showing a list of running processes. The desktop background is a blue gradient with a faint image of a person's face.

Carga de transacciones (KB)		Memoria física (KB)	
Total	418538	Total	306172
Libre	351532	Disponible	153832
% de uso	74710	En uso	152340

System Performance Summary:

- CPU: 50%
- Memoria física: 403 MB
- Disco: 100%

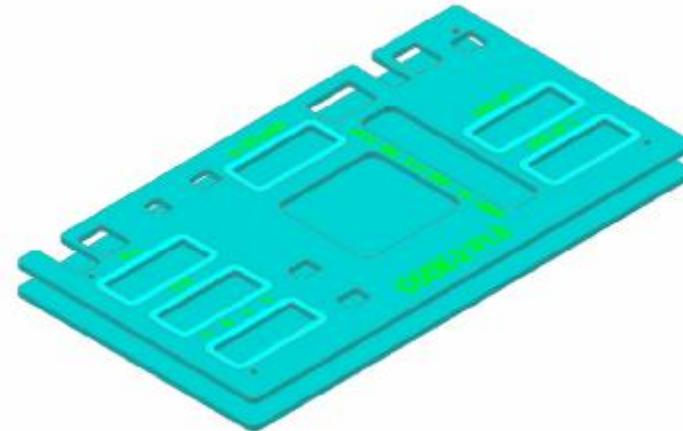
Task Manager Processes:

Nombre	Estado	Memoria	Procesos
System	Running	4K	1
smss.exe	Running	4K	1
svchost.exe	Running	4K	1
csrss.exe	Running	4K	1
explorer.exe	Running	4K	1
invertirsec.exe	Running	4K	1

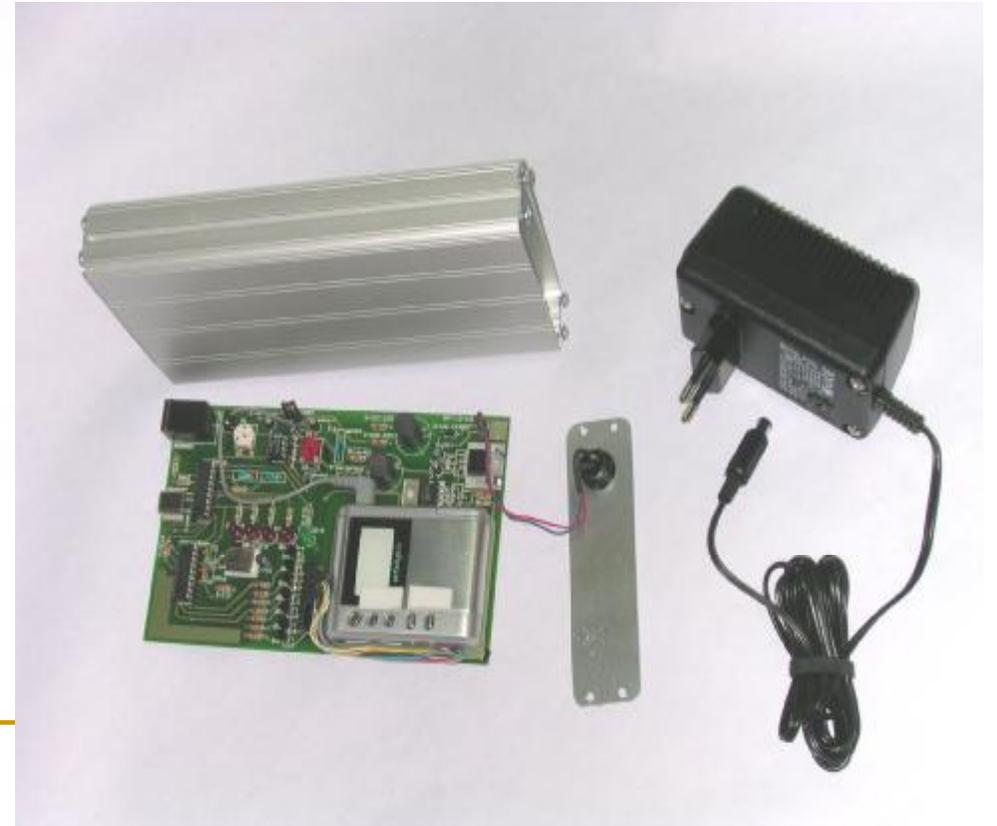
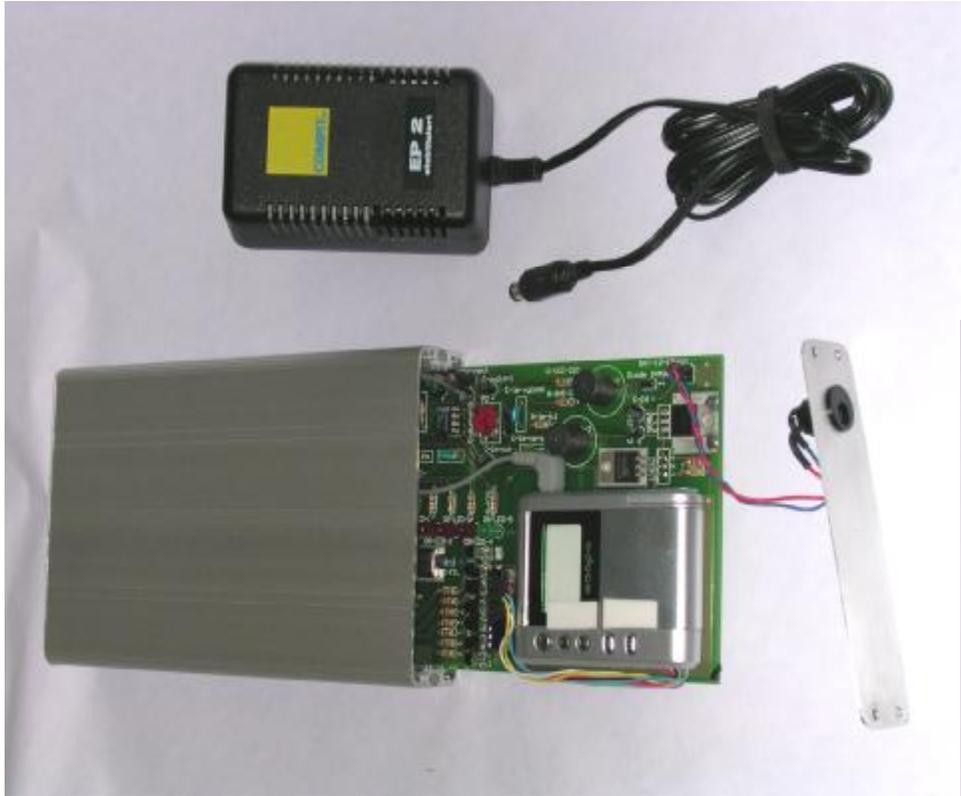
## Tarjeta para experiencias de control en docencia



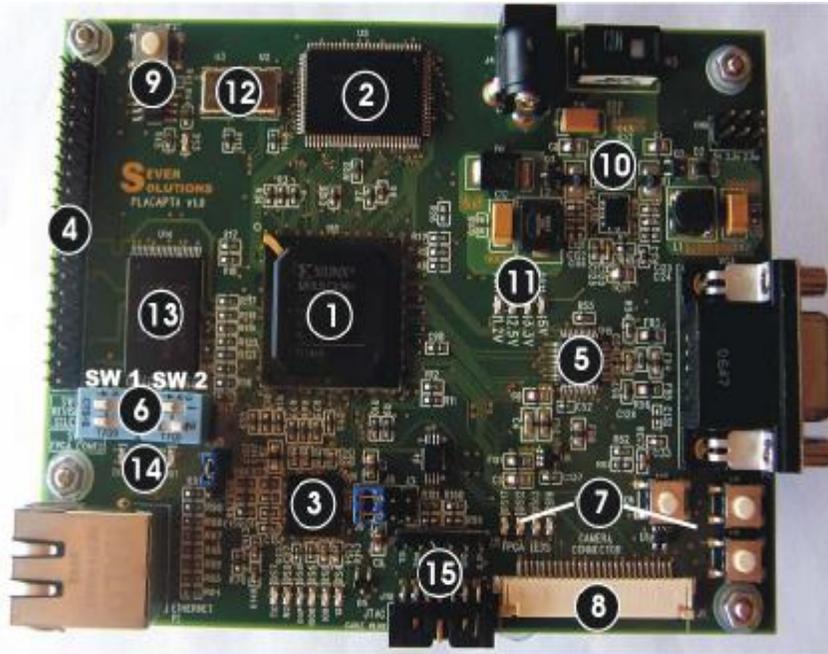
Placa de sensores y motores:  
Sensores de luz (células solares),  
sensores de temperatura,  
resistencias para calentar,  
ventilador para enfriar, motor de  
giro continuo de placas solares ...



# Tarjeta interfaz entre teléfono y mp3 (diseño a medida para Parque de las Ciencias)

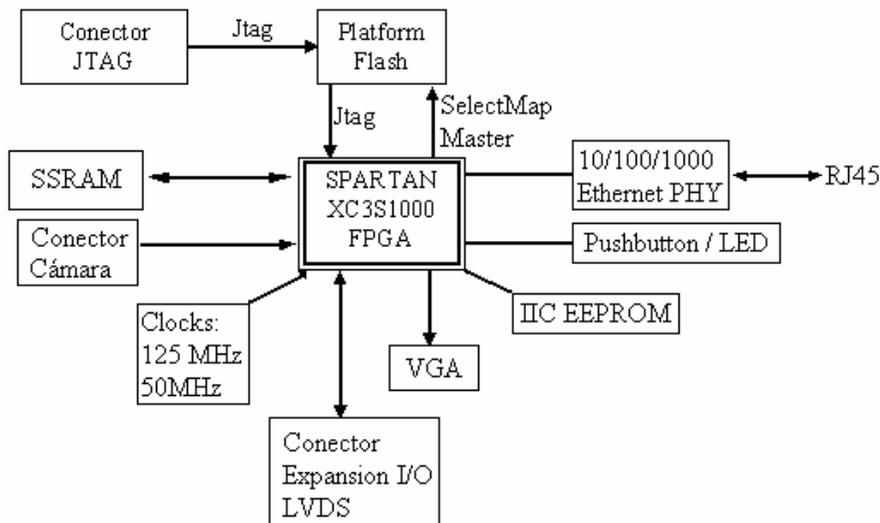


# “Placapta”: tarjeta para procesamiento de vídeo con conexión Ethernet Gigabit

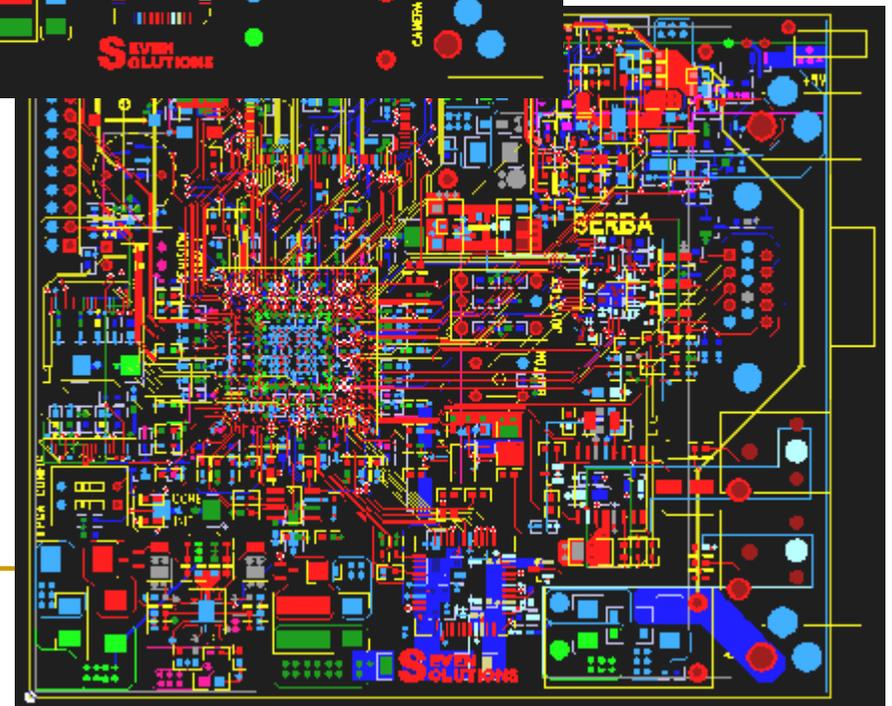
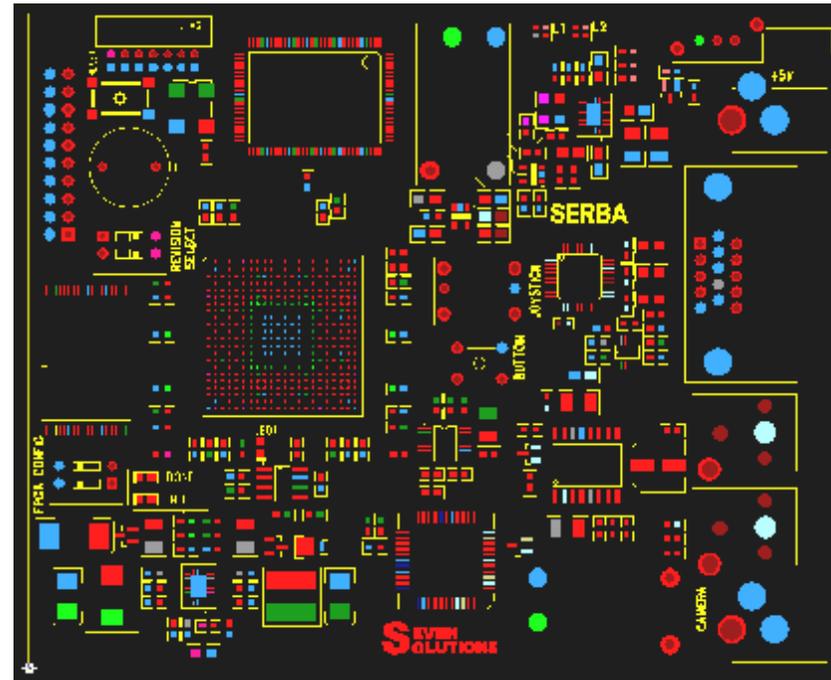
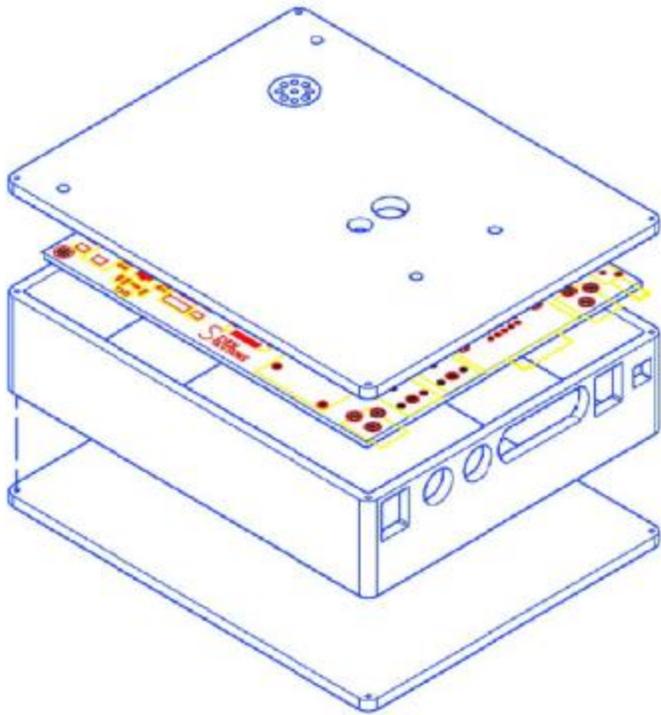


- n Plataforma de procesamiento de video.
- n Características:

- q SPARTAN3 FPGA: XC3S1000-FGG456-4C.
- q 1 memoria SRAM de 18-Mbit (512K x 36).
- q Transceiver Ethernet PHY 10/100/1000.
- q Conector de expansión LDVS.
- q Cámara VS6524.
- q 4-Kb IIC EEPROM.
- q Oscilador de 125 MHz y de 50 MHz.
- q 4 LEDs y 3 pulsadores.
- q Salida VGA.
- q Plataforma flash de reconfiguración.
- q Puerto de configuración JTAG.



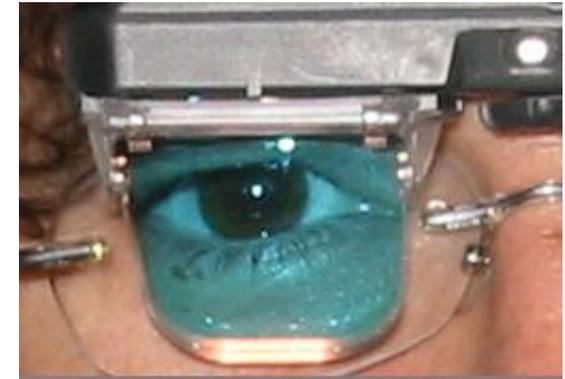
# SERBA: Sistema portátil de ayuda para invidentes



- E/S vídeo analógico
- Salida Vídeo digital

---

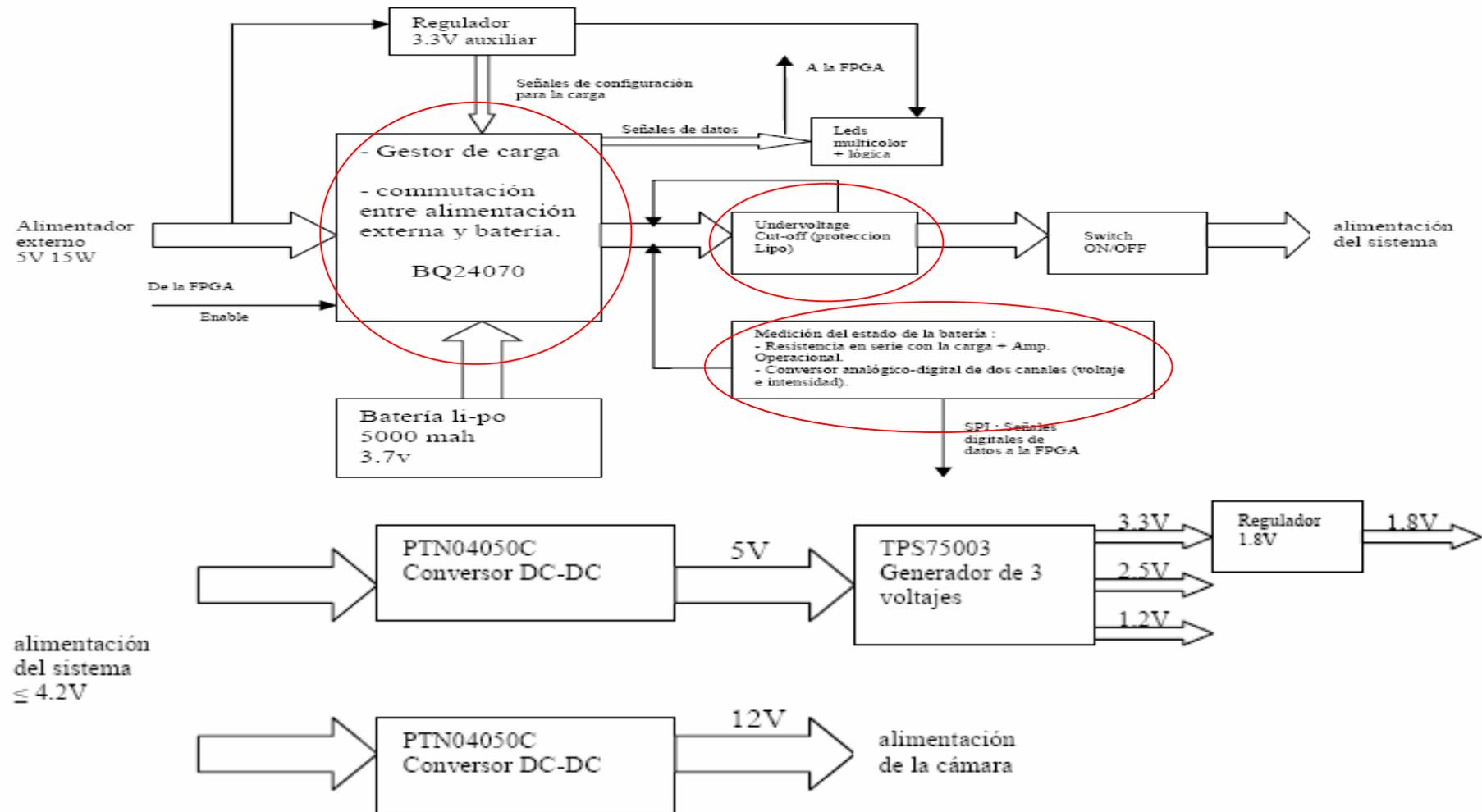
# Demo SERBA: Sistema portátil de ayuda para invidentes con baja visión



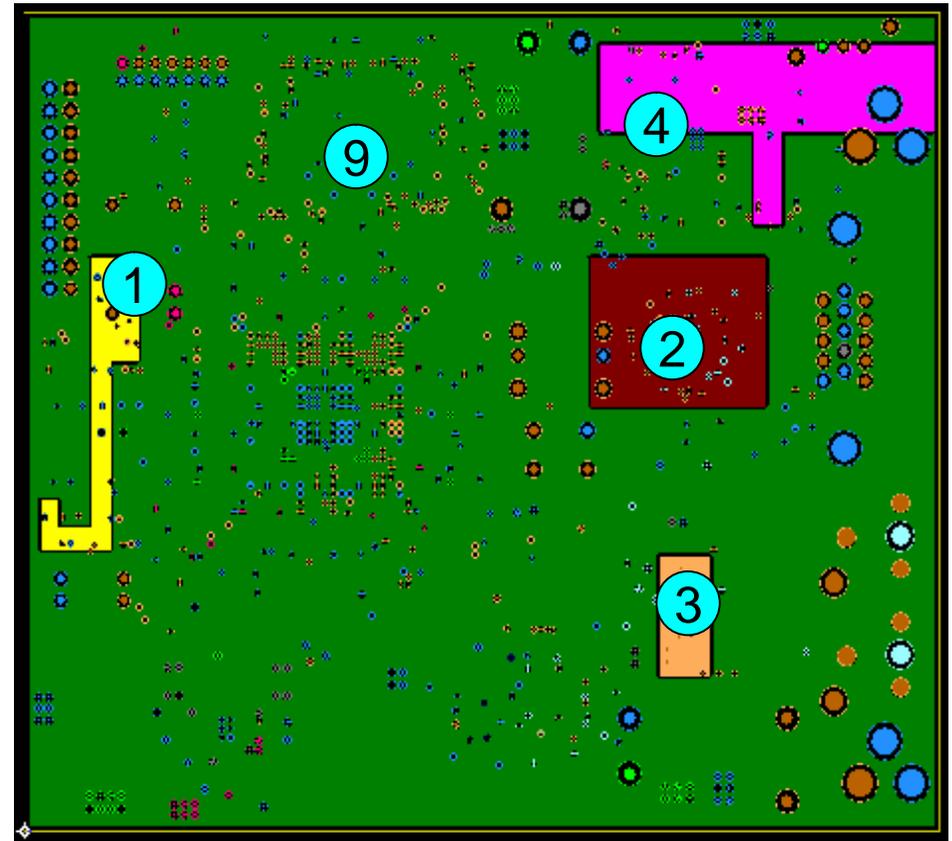
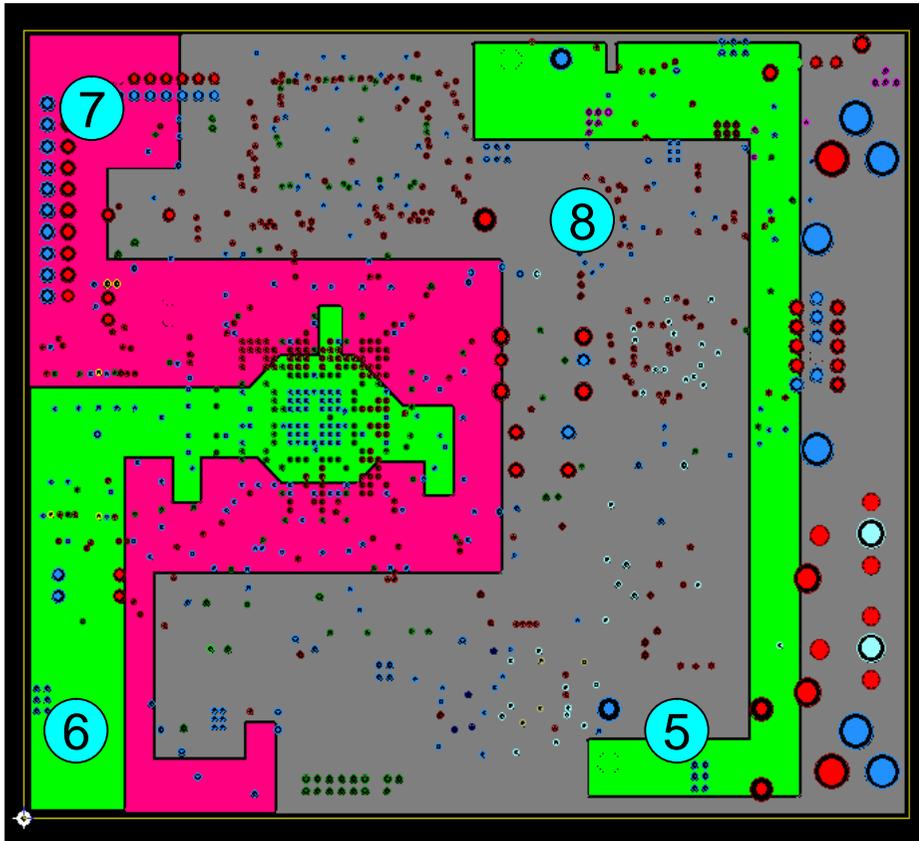
# SERBA: Sistema portable de ayuda para invidentes

Al ser dispositivo "portable" -> gran importancia temas de consumo

Alimentación mediante **Baterías de polímeros de litio**



# **SERBA:** definición de planos de alimentación (analógica/digital)



**1**-> 1.8v, **4**-> <=4.2 V, **5**-> <=4.2 V, **6**->1.2 V, **7**-> 2.5V, **8**->5V, **9**->3.3V (digital)

**2**-> 3.3V convertidor de vídeo D -> RGB (alimentación analógica filtrada)

**3**-> 5v convertidor RGB ->VC (alimentación analógica filtrada)

---

# Consideraciones en el diseño de un PCB con FPGA

Richard Carrillo.

---

---

# Consideraciones en el diseño de un PCB con FPGA

- n Filtrar y distribuir equitativamente la energía a todos los dispositivos para reducir el ruido
  - n Usar las técnicas de *ruteo* recomendadas para las señales, incluyendo las de reloj y las diferenciales
  - n Ajustar la impedancia y evaluar los esquemas de terminación
  - n Terminar las líneas de transmisión de señales para disminuir la reflexión de la señal
  - n Minimizar el *cross-talk* entre pistas paralelas
  - n Reducir los efectos del rebote de masa
-

---

# Sistema de distribución de energía en PCB con FPGA

---

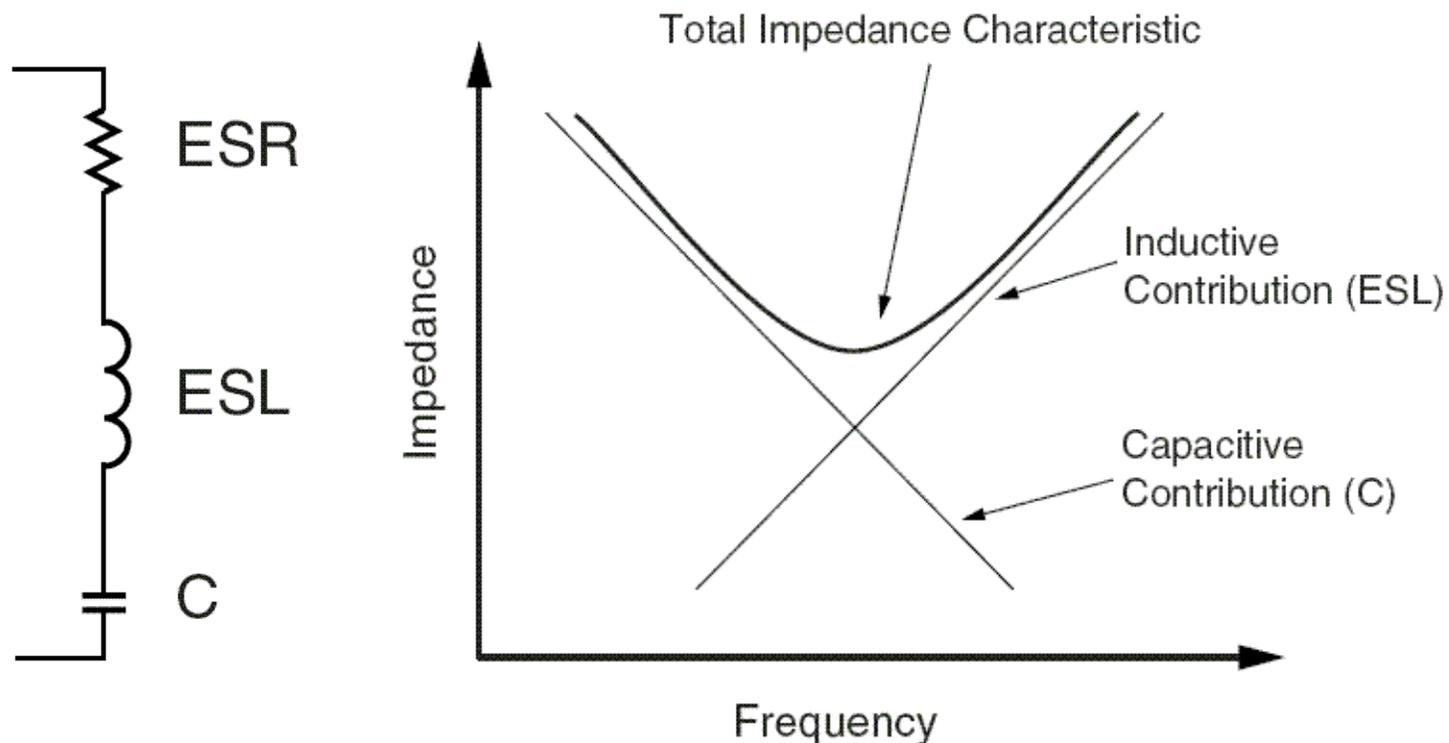
---

# Introducción

- n En la **FPGA** puede ser implementado un número casi infinito de aplicaciones -> no sabemos cuales serán los transitorios en la demanda de corriente -> considerar el **peor caso**
  - n No se deben exceder los límites del dispositivo
    - q **Ruido en la alimentación** (< 10% de Vcc nominal)
    - q **Rebotes en la masa**
-

# Características de los condensadores en el desacoplo

- n La resistencia inductancia equivalente serie (ESL) es tan importante como la capacidad
  - q -> depende del encapsulado -> elegir el menor para una capacidad dada



# Frecuencia efectiva del condensador

- n A la inductancia parásita en el montaje del condensador contribuye:
  - q Inductancia parásita del condensador
  - q Inductancia de las pistas y huellas
  - q Inductancia de la vía (0.3nH - 1.5nH) en PCB de 1,6mm
  - q Inductancia de los planos de alimentación

X7R Ceramic Chip capacitor

$$F = \frac{1}{2\pi\sqrt{LC}}$$

$$L_{IS} = L_{SELF} + L_{MOUNT}$$

$$C = 0.01 \mu F$$

$$L_{SELF} = 0.9 \text{ nH}$$

$$F_{RSELF} = 53 \text{ MHz}$$

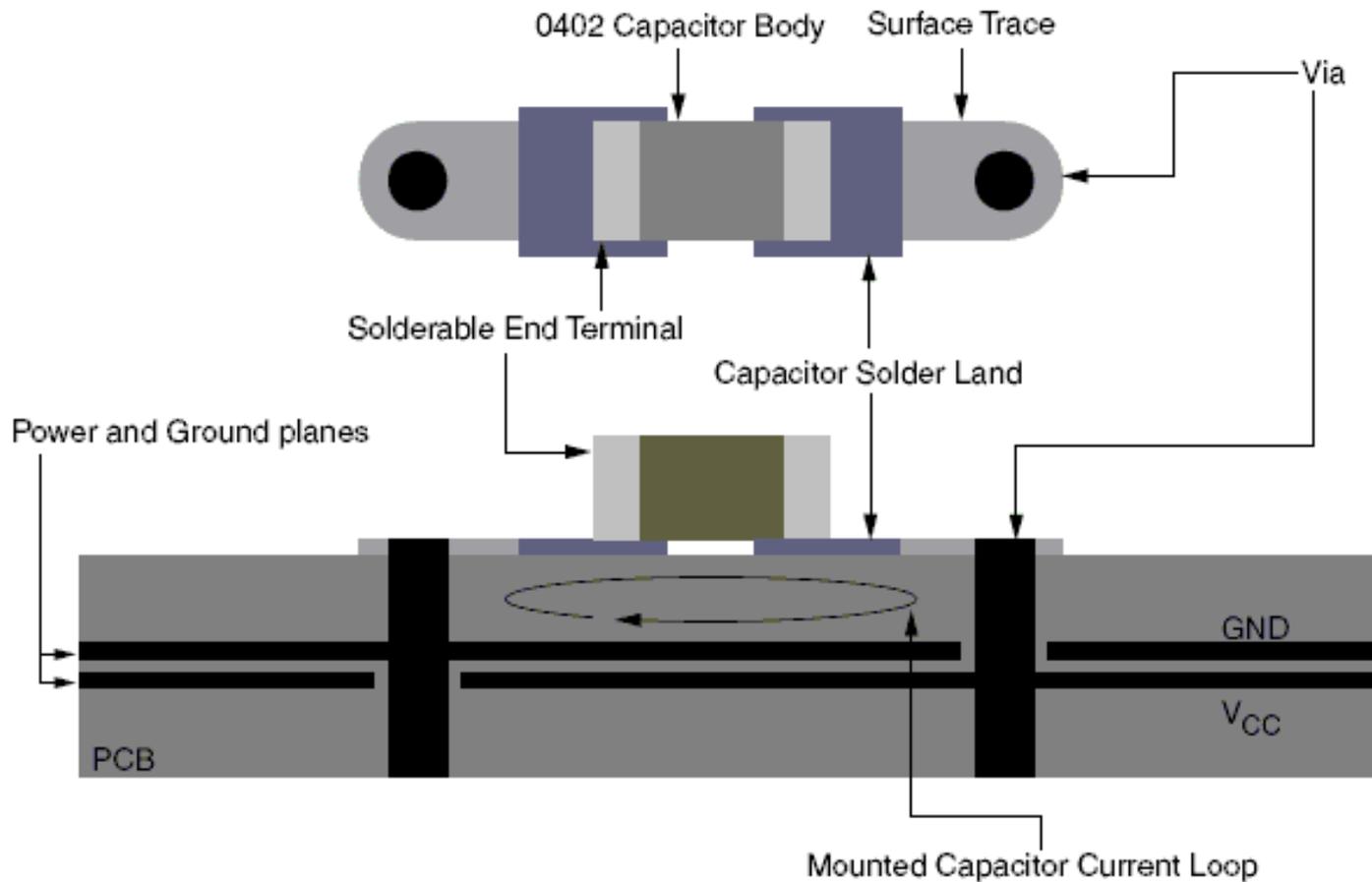
$$L_{MOUNT} = 0.8 \text{ nH}$$

$$L_{IS} = L_{SELF} + L_{MOUNT} = 0.9 \text{ nH} + 0.8 \text{ nH} = 1.7 \text{ nH}$$

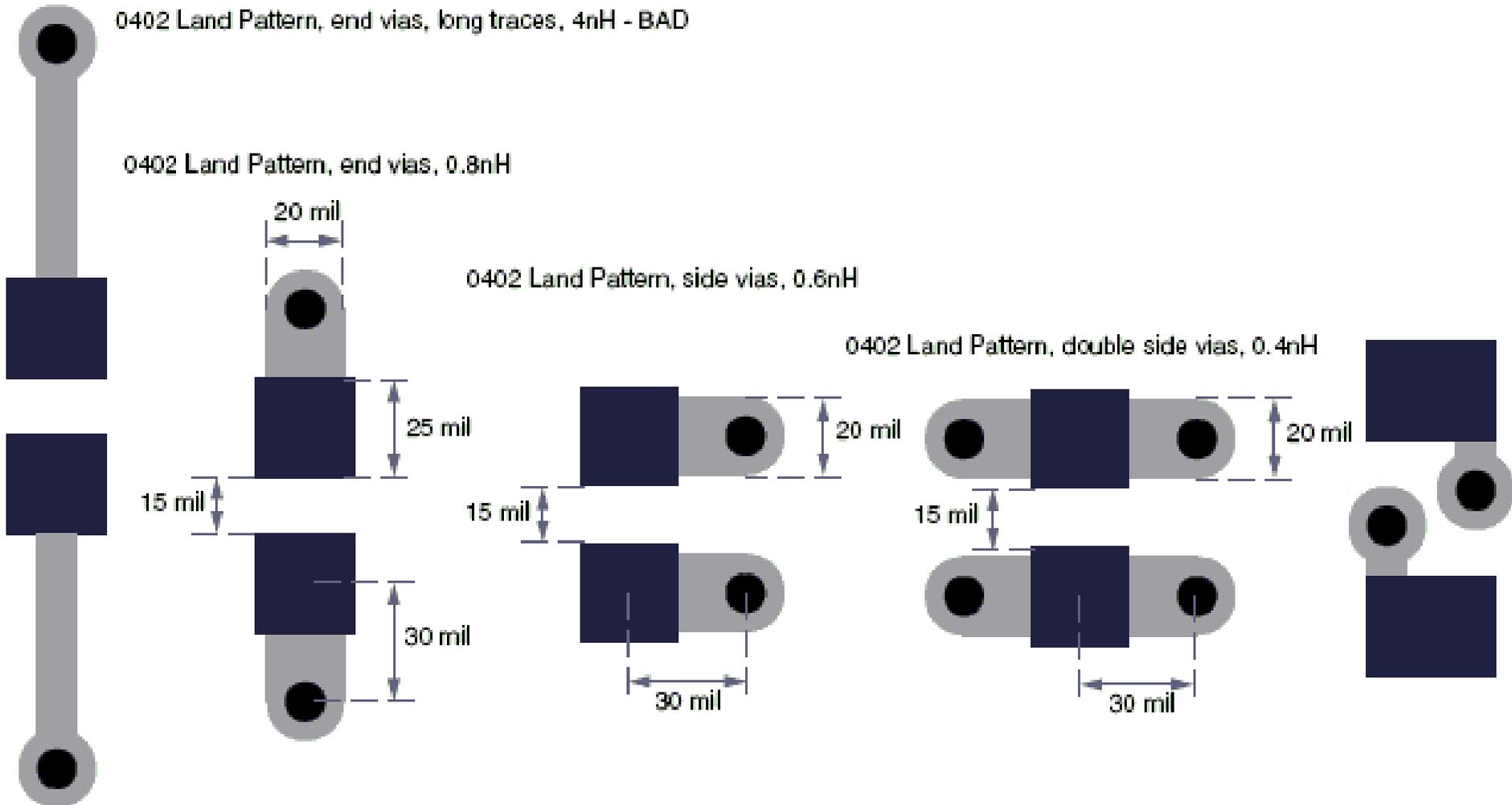
$$F_{RIS} = \frac{1}{2\pi\sqrt{(1.7 \times 10^{-9} \text{ H}) \cdot (1 \times 10^{-8} \text{ F})}} = 3.8 \times 10^7 \text{ Hz}$$

# Inductancia del montaje del condensador

- La inductancia del camino de la corriente es proporcional al **área del bucle** -> **minimizarla**



# Inductancia del montaje del condensador (II)



n No compartir una vía con varios condensadores

# Colocación de los condensadores

- n Para que el condensador compense las variaciones en la alimentación, primero éstas tienen que llegar al condensador y volver
- q Colocar el condensador al menos a una décima parte de un cuarto de onda de las frecuencias que se van a filtrar

0.001  $\mu$ F X7R Ceramic Chip capacitor, 0402 package

$$L_{IS} = 1.6 \text{ nH}$$

$$F_{RIS} = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{1.6 \times 10^{-9} \times 0.001 \times 10^{-6}}} = 125.8 \text{ MHz}$$

$$T_{RIS} = \frac{1}{F_{RIS}} = \frac{1}{125.8 \times 10^6} = 7.95 \text{ ns}$$

$$\lambda = \frac{T_{RIS}}{V_{PROP}} = \frac{7.95 \times 10^{-9}}{166 \times 10^{-12}} = 47.9 \text{ inches (in FR4)}$$

$$R_{PLACE} = \frac{\lambda}{40} = \frac{47.9 \text{ inches}}{40} = 1.20 \text{ inches (3 cm)}$$

# Número de condensadores

- n Primera aproximación: un condensador por patilla de alimentación utilizada
  - q Para determinar esta utilización, consideramos las *simultaneously switching outputs (SSO)*: el número de salidas que cambian simultáneamente en un margen de 10ns

Ejemplo: Usando una XC2V3000 encapsulado FF1152

Usamos 80 patas de E/S del banco 0, configuradas como 3.3V LVCMOS 12mA Fast driver. Hoja de características de la FPGA: SSO = 10 / par de patas Vcc-GND

Hay 13 patas Vcco por banco -> Límite  $13 \cdot 10 = 130$  patas de E/S

Usamos 80 patas -> Porcentaje de banco usado:  $80/130 = 62\%$

Número de condensadores:  $13 \text{cond/pata} \cdot 62\% = 8 \text{condensadores}$

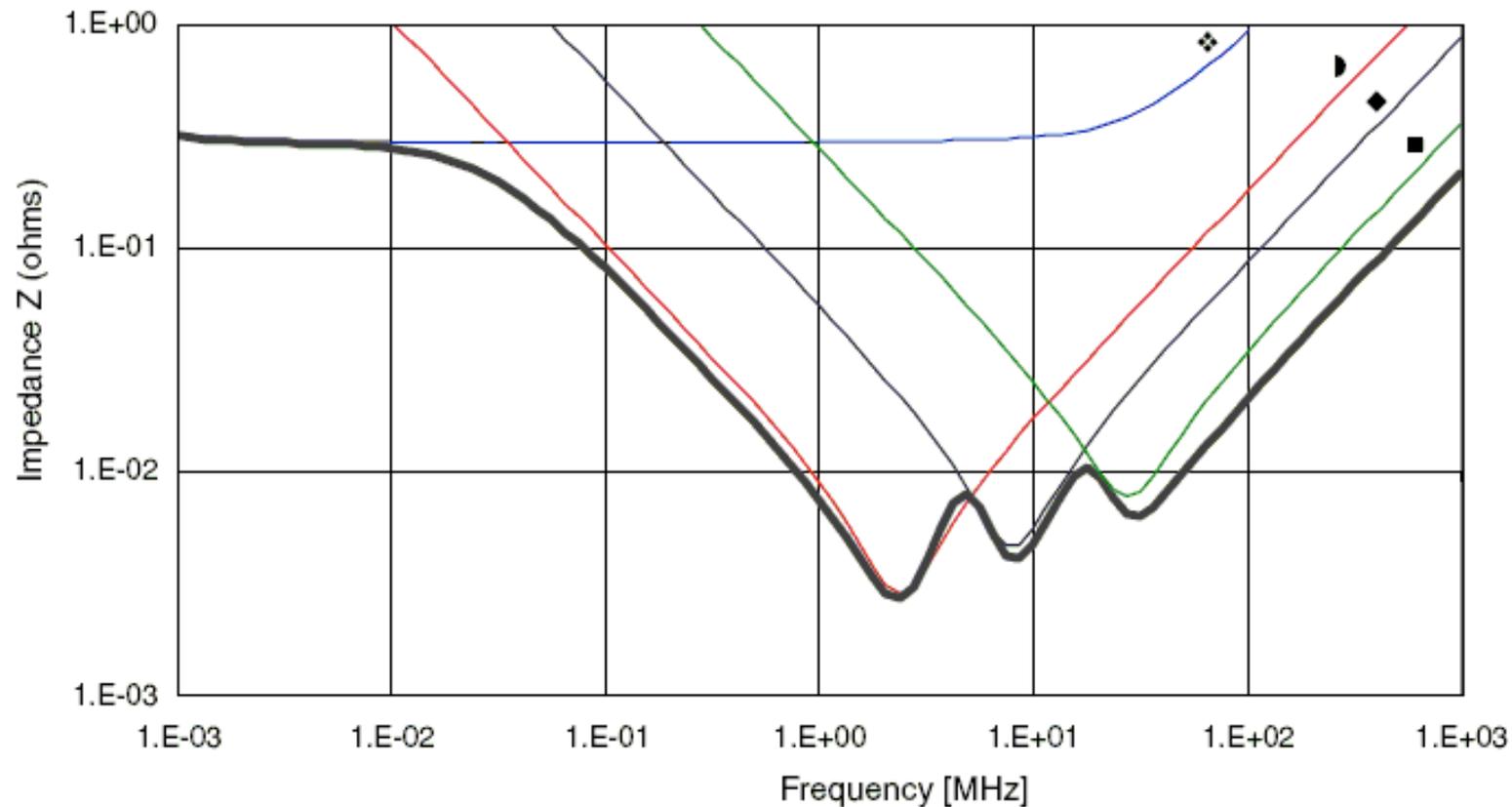
# Número de condensadores (II)

- n Se desea una impedancia en la alimentación baja y plana en frecuencias de 500KHz a 500Mhz
  - q Debe haber condensadores con cada orden de magnitud de capacidad: de 1nF a 4700nF
  - q Condensadores de baja capacidad tienen menos impacto -> se dobla el número de condensadores en cada década conforme se reduce la capacidad
  - q Condensadores de tántalo, electrolíticos o OS-CON -> baja ESR -> validos para un gran rango de frecuencias

Capacitor Value	Quantity Percentage	Capacitor Type
470 $\mu$ F to 1000 $\mu$ F	4%	Tantalum
1.0 to 4.7 $\mu$ F	14%	X7R 0805
0.1 to 0.47 $\mu$ F	27%	X7R 0603
0.01 to 0.047 $\mu$ F	55%	X7R 0402

# Simulación

Four Values of Parallel Capacitors [ohms]



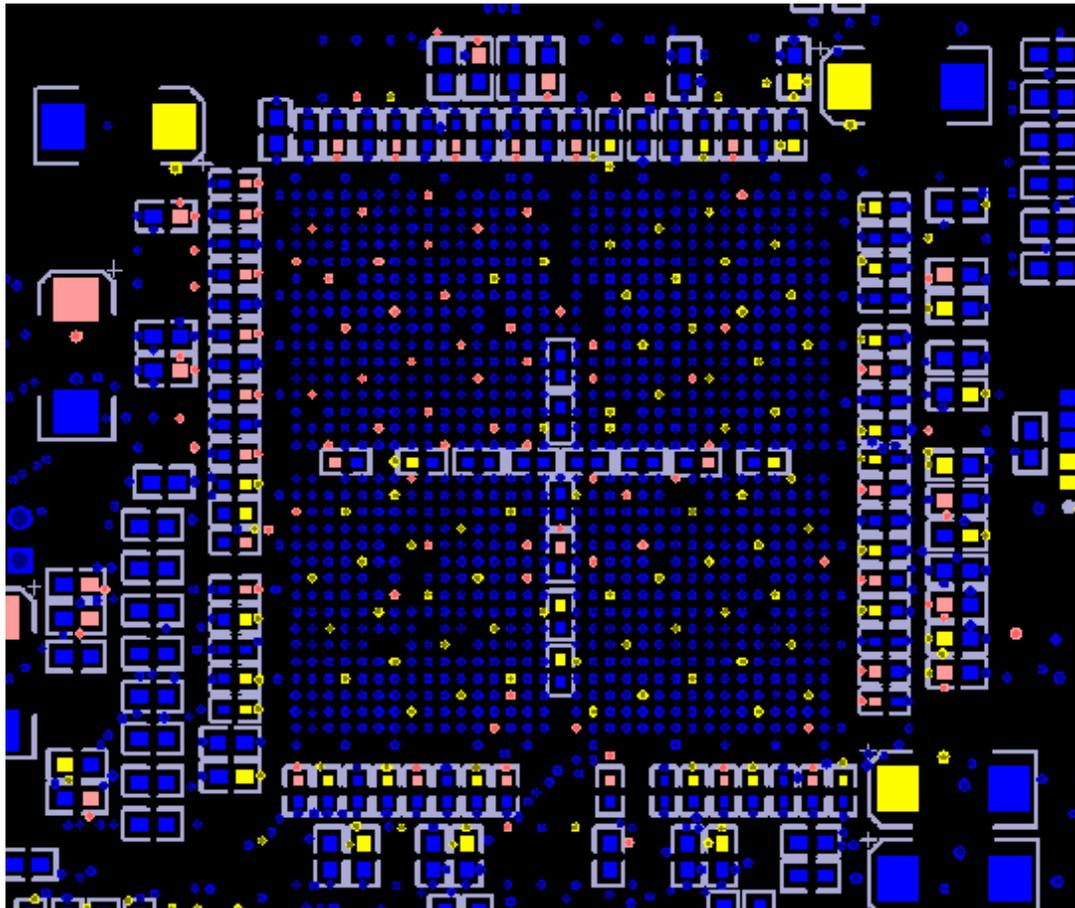
Quantity	Symbol	Package	Capacitive Values ( $\mu\text{F}$ )	Parasitic Inductance (nH)	Parasitic Resistance (ohms)
2	◇	E	680	2.8	0.57
7	▸	0805	2.2	2.0	0.02
13	◆	0603	0.22	1.8	0.06
26	■	0402	0.022	1.5	0.20

$L_{\text{MOUNT}} =$   
0,8nH...0,9nH

---

# Ejemplo

- n Red de desacoplo de la FPGA de XircaV4



# Inductancia de los planos y ordenación

- n Cuando sea posible, situar los planos de alimentación y masa en “sandwich” para:
  - q Disminuir la inductancia por unidad de área
  - q Aumentar la capacidad para el desacoplo

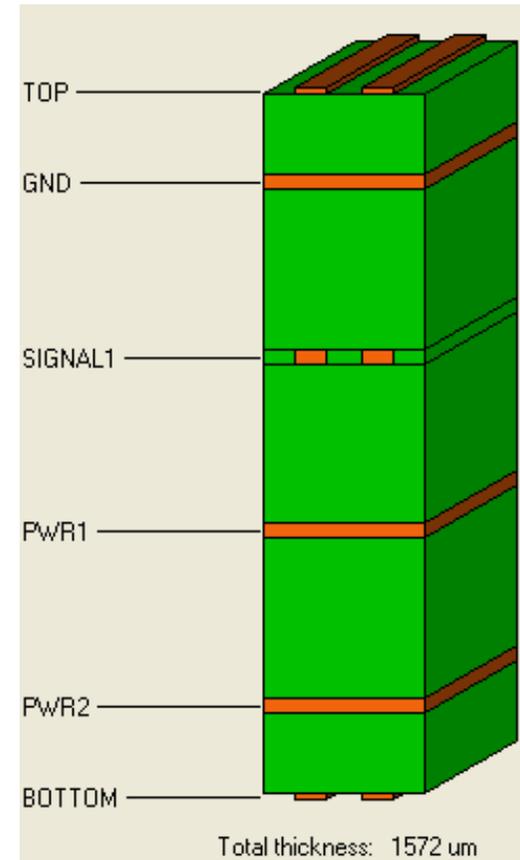
Dielectric Thickness (mil, microns)	Inductance (pH/square)	Capacitance (pF/in <sup>2</sup> , pF/cm <sup>2</sup> )
4, 102	130	225, 35
2, 51	65	450, 70
1, 25	32	900, 140

- n Situar los planos de alimentación prioritarios en la parte superior

# Ejemplo de ordenación de planos: Placapta

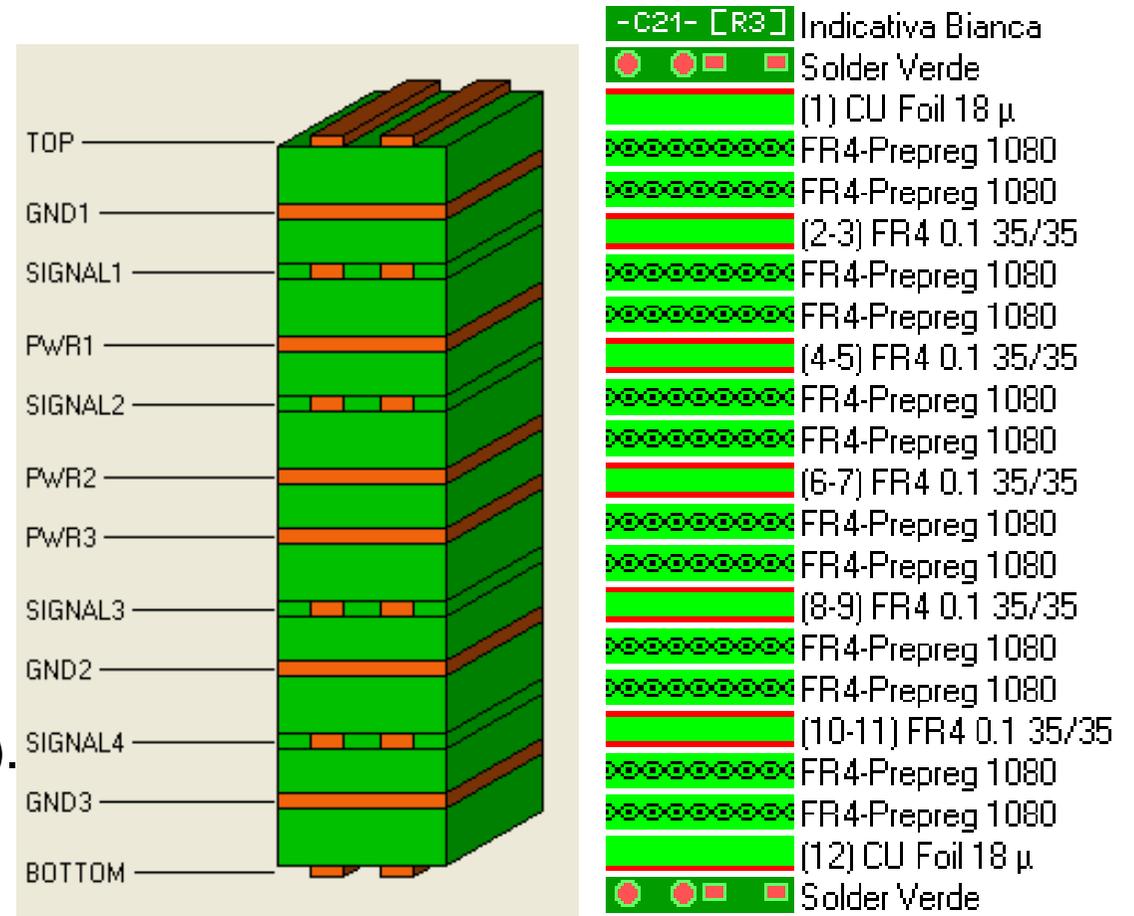
**6 LAYERS 1,55 +/-0,15 LAB CODE:172**

MATERIAL	THICKNESS
Basic copper	0,017
Prepreg 2113(2)	0,176 +/-0,02
Basic copper	0,035
FR4 0,356	0,35 +/-0,04
Basic copper	0,035
Prepreg 7628(2)	0,346 +/-0,03
Basic copper	0,035
FR4 0,356	0,35 +/-0,04
Basic copper	0,035
Prepreg 2113(2)	0,176 +/-0,02
Basic copper	0,017



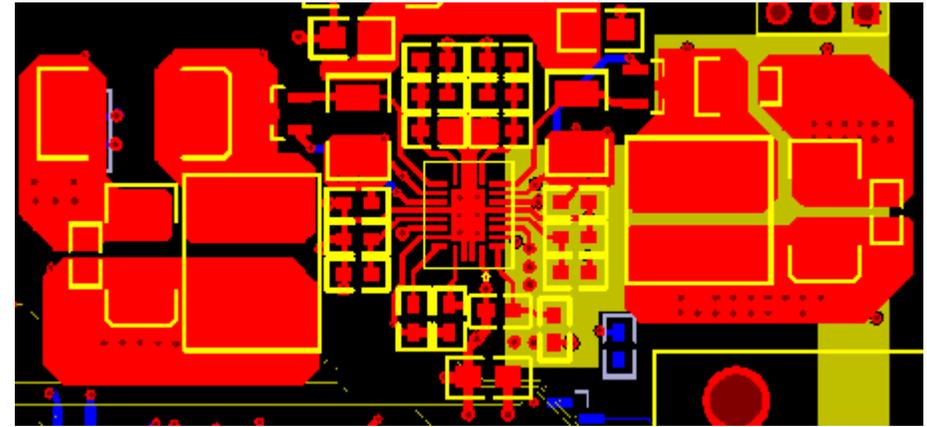
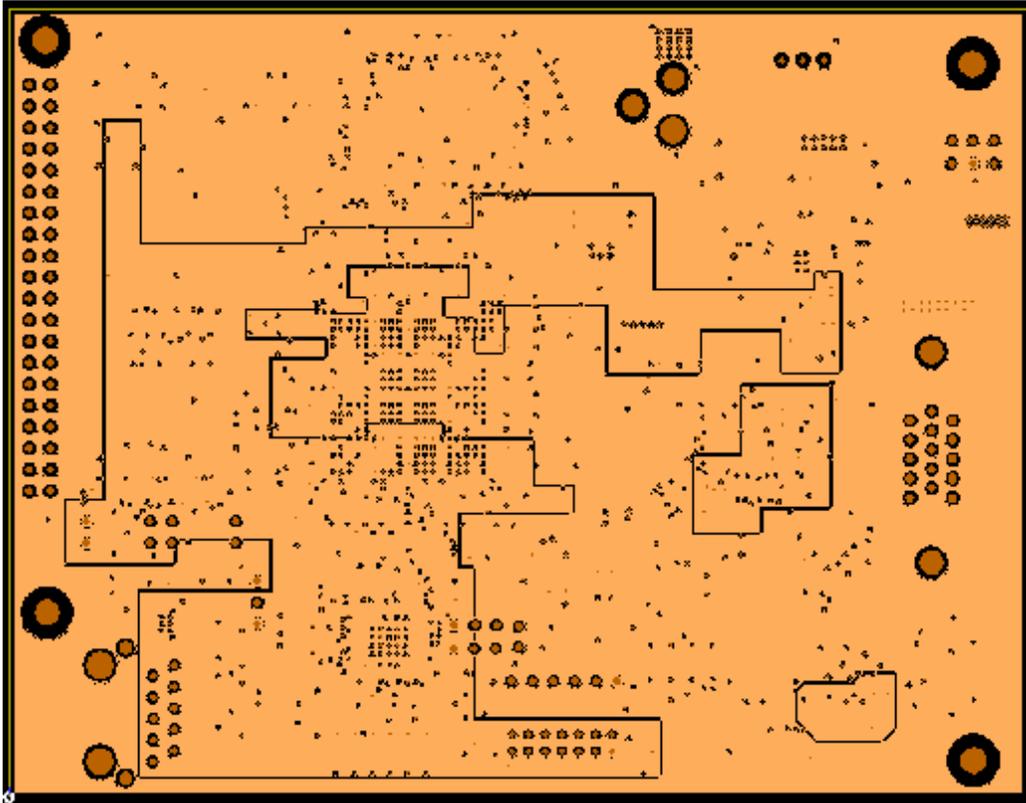
# Ejemplo de ordenación de planos: XircaV4

- n Características técnicas.
  - q 3654 drills.
  - q 12 layers.
    - n (6 planes and 6 routing layers).
  - q 1.6 mm thickness.
  - q 9 different voltages.
  - q Impedance controlled:
    - n 50 ohms (single traces).
    - n 100 ohms (differential pairs).



1080(0.065m)

# Ejemplo de planos y pistas: Placapta



---

# Líneas de transmisión y *ruteo* de la señal

---

# Las pistas consideradas líneas de transmisión

- n Los cambios rápidos en la señal contribuyen al ruido, *cross-talk* y rebotes de masa
- n El material usado en la construcción del PCB determina la longitud a partir de la cual las pista deben ser consideradas líneas de transmisión; si  $t_R < 4 * t_{PD}$

$$V_P = \frac{C}{\sqrt{E_r}} \quad t_{PD} = \frac{l}{V_P} \quad l > \frac{t_R V_P}{4}$$

<i>Relative Dielectric Constants</i>	
Material	$E_r$
Air	1.0
PTFE/glass	2.2
Rogers RO 2800	2.9
CE/goreply	3.0
BT/goreply	3.3
GETEK	3.5
CE/glass	3.7
Silicon dioxide	3.9
BT/glass	4.0
Polymide/glass	4.1
FR-4/glass	4.1
Glass cloth	6.0
Alumina	9.0

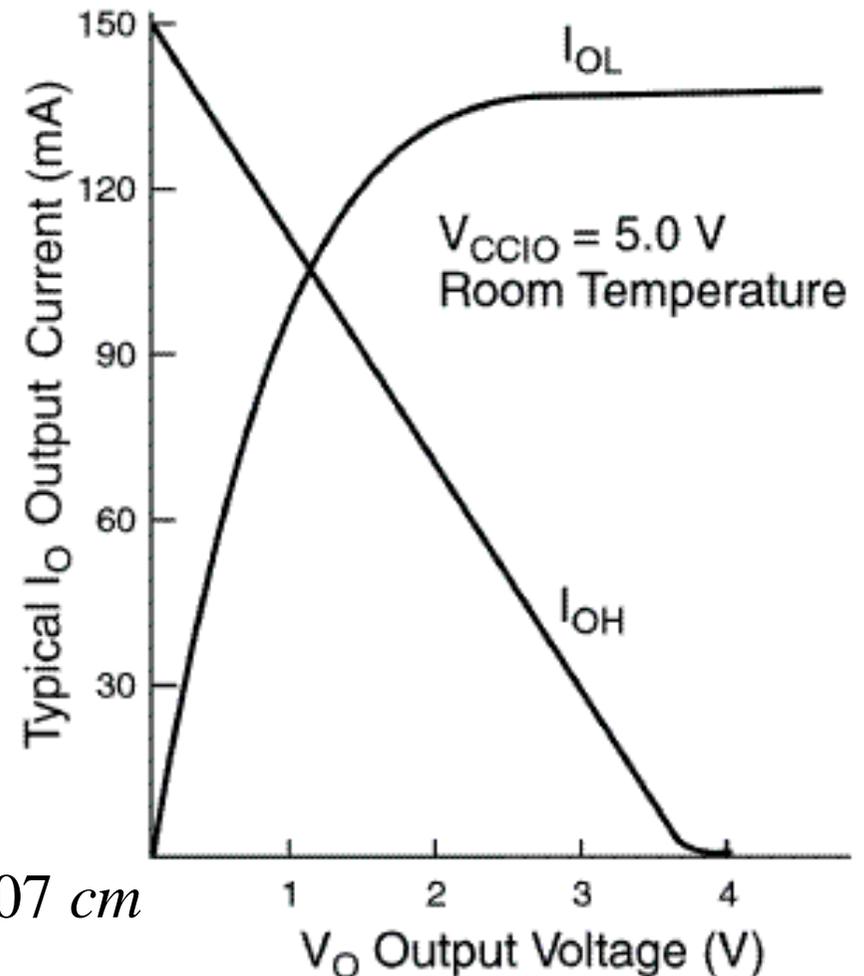
# Ejemplo en dispositivos MAX7000

- n El tiempo de cambio de la señal depende de la capacidad
- n Consideramos la curva  $I_{OL}$ , ya que su cambio es más brusco
  - q Del 10% (0.2) al 90% (2.1) puede ser considerada lineal:  
 $I_{OL} = 0.06V_O$
- n Para una carga de **35pF**

$$t_F = C \frac{1}{0.06} \ln(V) \Big|_{0.2V}^{2.1V} = 39,19C = 1,37ns$$

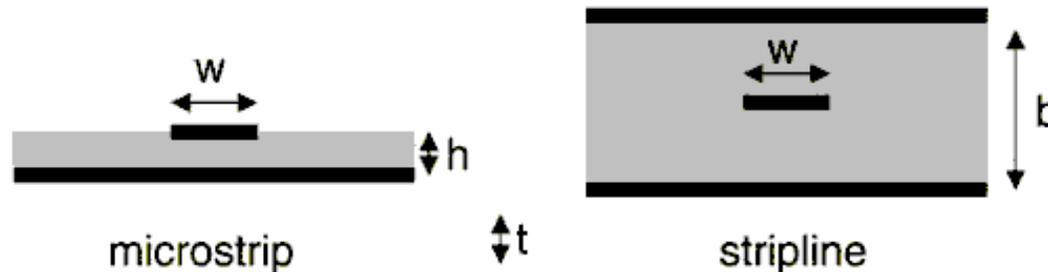
$$l > \frac{t_R V_P}{4} = \frac{1,37 \times 10^{-9} \times 3 \times 10^8}{4 \sqrt{4,1}} = 5,07 \text{ cm}$$

Output Drive Characteristics of MAX 7000 Devices



# Ruteo de la señal

- n **Microstrip**: Cuando la pista se encuentra en una capa exterior del PCB (separada por un dieléctrico de un plano de alimentación o masa)
- n **Stripline**: La pista se encuentra entre dos planos
  - q Mejor comportamiento en frecuencia
  - q Mejor aislamiento del ruido

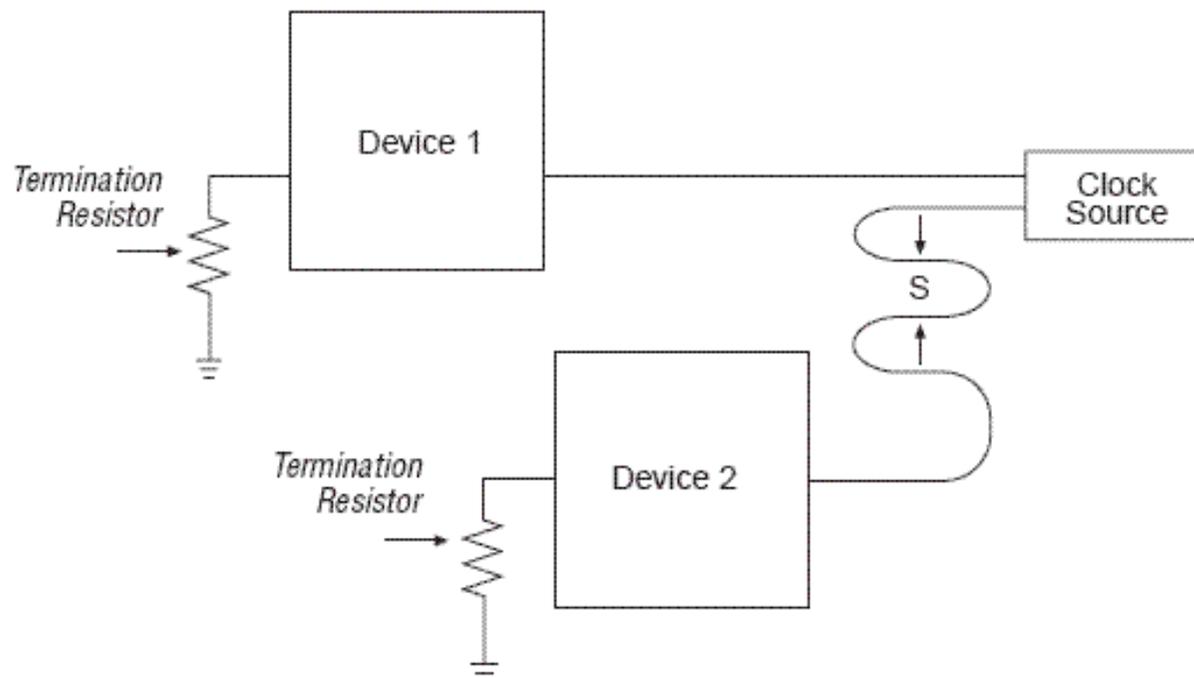


$$Z_0 = \frac{87\Omega}{\sqrt{1.41 + \epsilon_r}} \ln\left(\frac{5.98h}{0.8w + t}\right)$$

$$Z_0 = \frac{60\Omega}{\sqrt{\epsilon_r}} \ln\left(\frac{2b + t}{0.8w + t}\right)$$

# Ruteo en serpentin

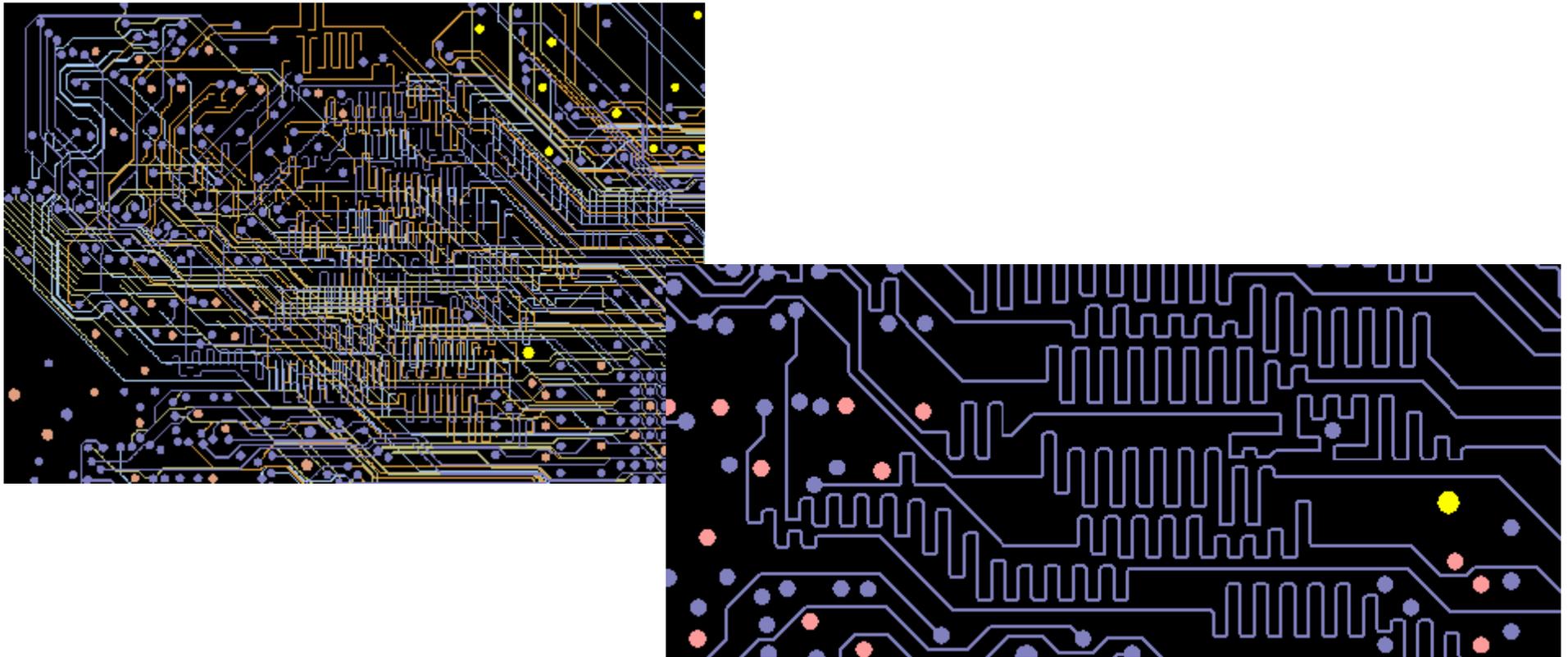
- n En algunos casos se requiere **longitudes iguales para pistas** que conectan con diferentes destinos
- q Para minimizar el *cross-talk*, se debe asegurar que:  
 $S \geq 3H$  (donde H=separación entra la pista y el plano de masa de referencia)



---

# Ejemplo de *ruteo* en serpentin

- n Serpentes generados automáticamente en XircaV4 para las memorias DDR

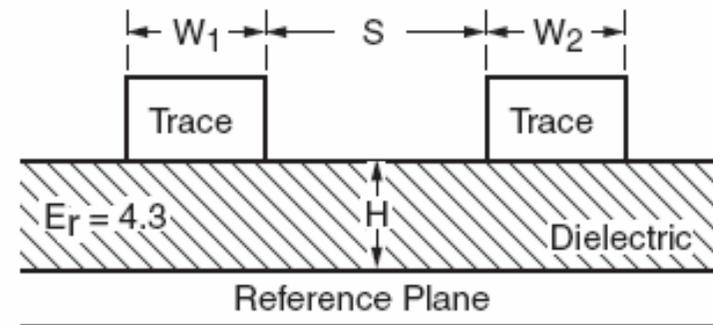


# Ruteo de señales diferenciales

## n Par diferencial *microstrip edge-coupled*

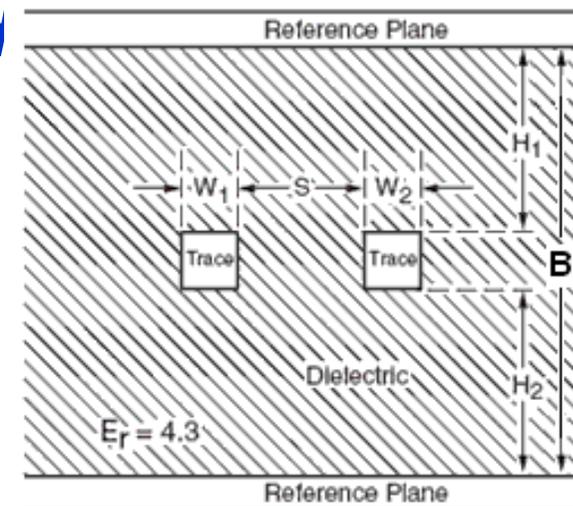
q La distancia con otras pistas debe ser al menos  $2S$

$$Z_{diff} = 2 \times Z_0 \left[ 1 - 0,48 \exp\left(-0,96 \frac{S}{H}\right) \right]$$



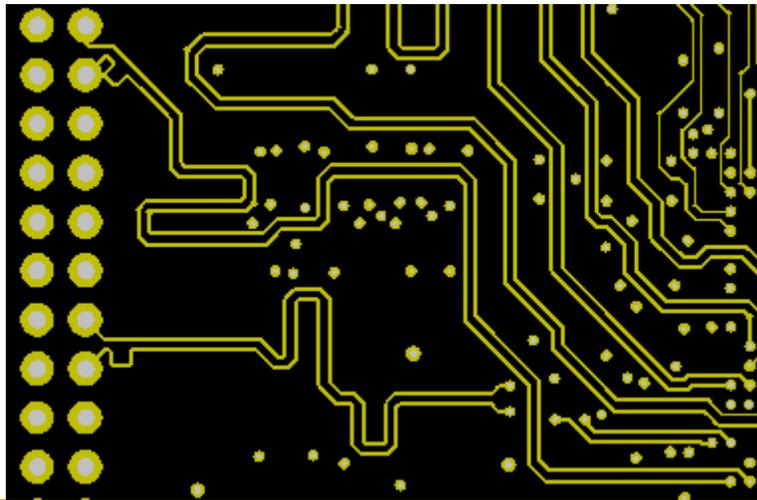
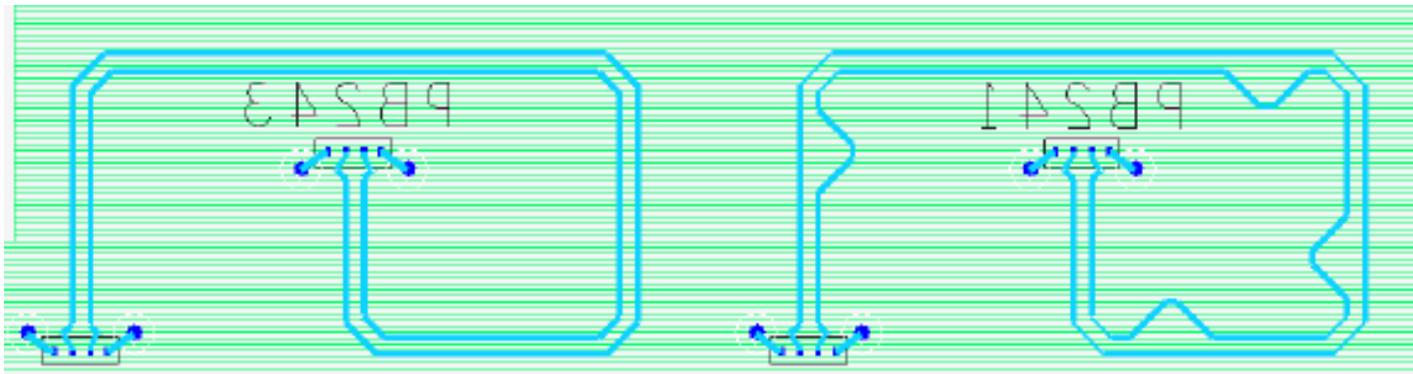
## n Par diferencial *stripline edge-coupled*

$$Z_{diff} = 2 \times Z_0 \left[ 1 - 0,37 \exp\left(-2,9 \frac{S}{B}\right) \right]$$



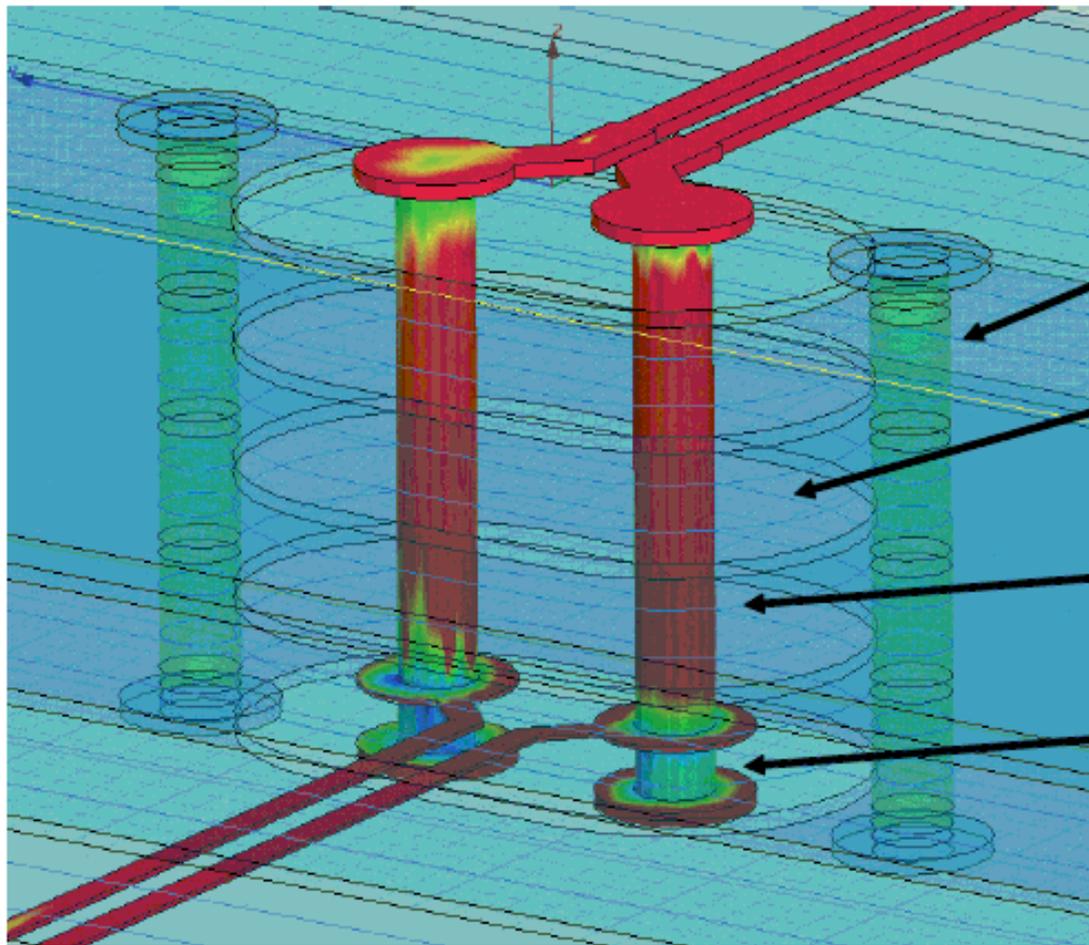
# Ruteo de señales diferenciales (II)

- Se debe igualar la longitud eléctrica de las dos pistas del par



Ejemplo de control  
de la longitud en  
Placapta

# Mantener la impedancia diferencial al hacer un cambio de capa



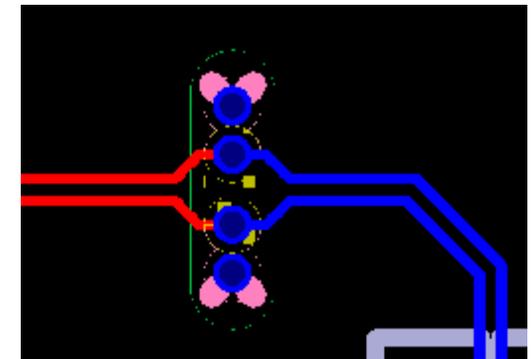
Use Return Vias

Clearance Holes (Antipads)

Remove Non-Functional Pads

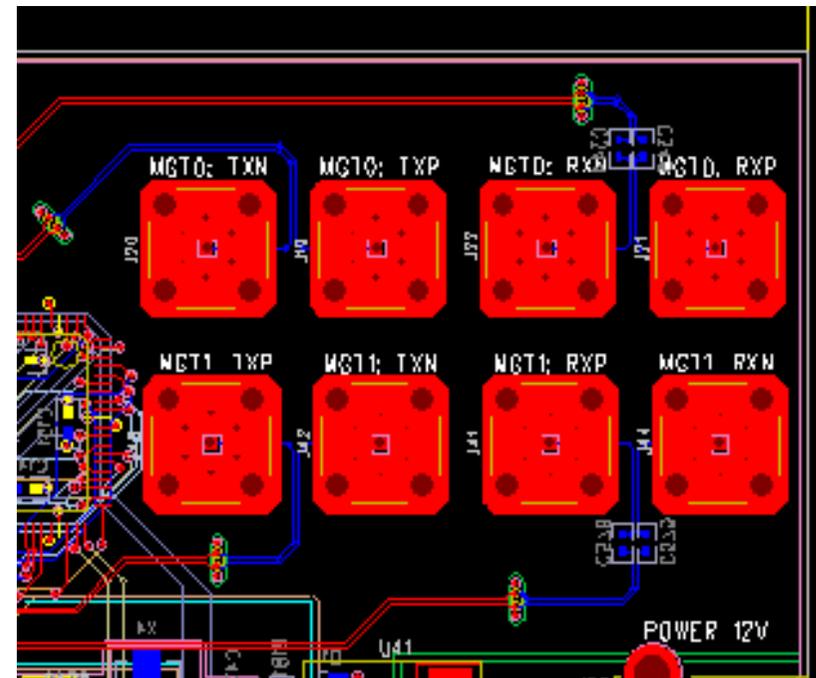
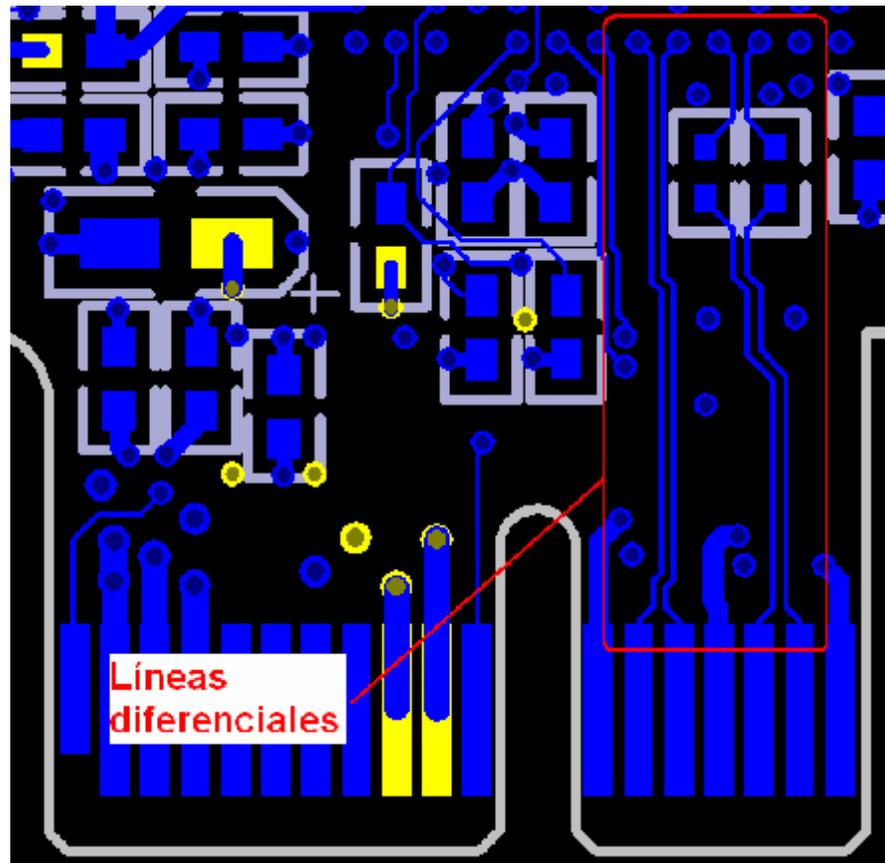
Keep Stubs Short

Ejemplo de  
vías de retorno  
en **Placapta**



# Ejemplo de líneas diferenciales

- n Líneas diferenciales del PCI Express y Rocket IO. (XircaV4)



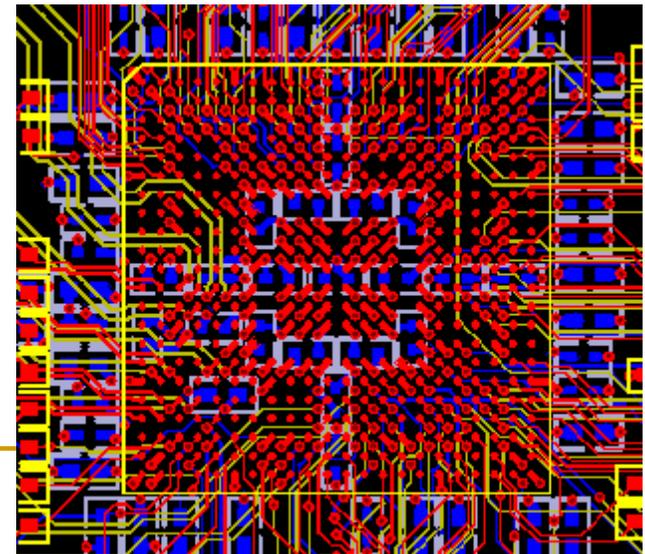
# Control de impedancia en las líneas de transmisión

## n **Digital Controlled Impedance (DCI). Virtex 4. (Xilinx)**

q Muchos circuitos integrados actuales trabajan con señales de **frecuencias muy altas**. La resistencia serie y la conductancia paralela de las líneas de transmisión de estas señales puede ser generalmente ignorada, pero **la impedancia se debe mantener constante**.

n **Se requieren terminaciones** para prevenir las reflexiones y mantener la integridad de la señal.

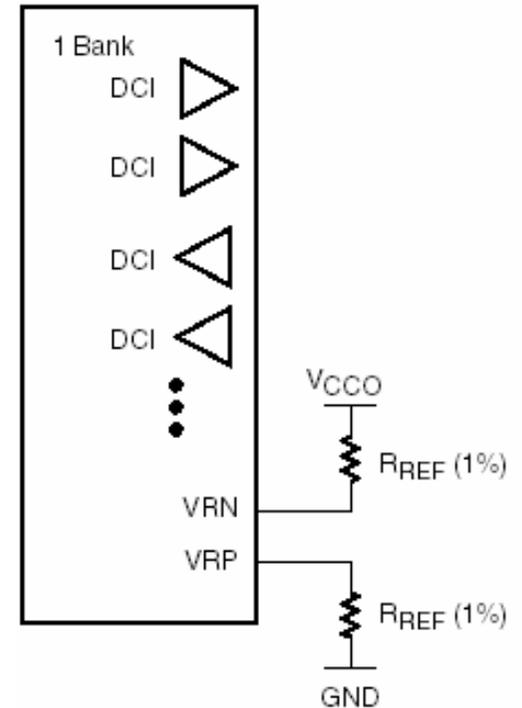
q Los encapsulados con **alto número de patillas** (especialmente **BGA**), dificultan **colocar resistencias de terminación** externas para muchas patillas.



Fan-out de la **FPGA** de Placapta

# Digital Controlled Impedance (DCI)

- n La familia de **FPGA Virtex-4** proporciona un mecanismo para eliminar la necesidad de incluir resistencias externas de terminación; **DCI**.
- n **DCI** opera independientemente en cada banco de E/S.
  - q Cuando un estándar E/S **DCI** es usado en un banco particular, un par de resistencias externas de referencia ( $R_{REF}$ ) establecen la impedancia de las patas de todo el banco.
  - q El valor de estas suele ser próxima a  $50\Omega$ .
  - q La **FPGA** ajusta la resistencia de terminación de la correspondiente patilla para igualarla a la resistencia de las referencias externas  $V_{RN}$  y  $V_{RP}$ .



# Digital Controlled Impedance (DCI) (II)

## n Ejemplo de posibles configuraciones con HSTL

	HSTL_I	HSTL_II	HSTL_III	HSTL_IV
Conventional				
DCI Transmit Conventional Receive				
Conventional Transmit DCI Receive				
DCI Transmit DCI Receive				
Bidirectional	N/A		N/A	
Reference Resistor	$VRN = VRP = R = Z_0$			
Recommended $Z_0^{(1)}$	50 $\Omega$	50 $\Omega$	50 $\Omega$	50 $\Omega$

Note:  
1.  $Z_0$  is the recommended PCB trace impedance.

---

# Restricciones para la fabricación

---

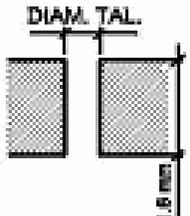
---

# Restricciones para la fabricación

- n Reglas de diseño para fabricabilidad.
    - q Es importante tener en cuenta que nuestro diseño deberá acomodarse a unas restricciones impuestas desde fábrica.
    - q Estas restricciones también deben estar acorde con la tecnología de los componentes que estamos utilizando.
    - q Es conveniente tener presente la tabla de clases de la fábrica a la que encarguemos el PCB.
    - q Esta tabla, impone una división en clases según las dimensiones de los elementos característicos del diseño; de esta manera se podrá clasificar nuestro diseño de acuerdo a una escala de complejidad de fabricación.
-

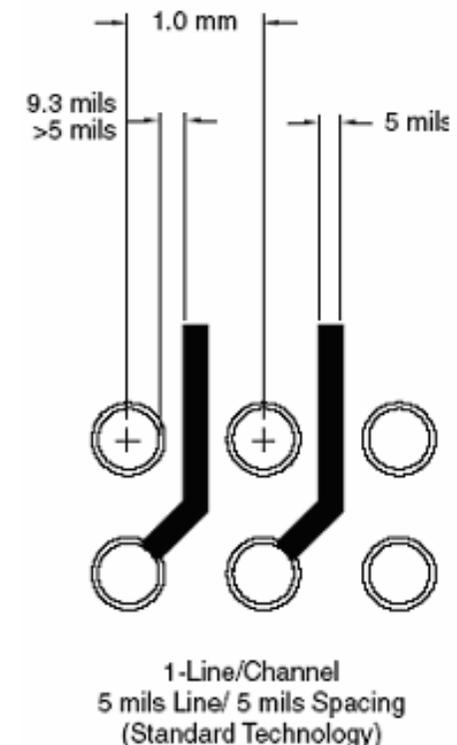
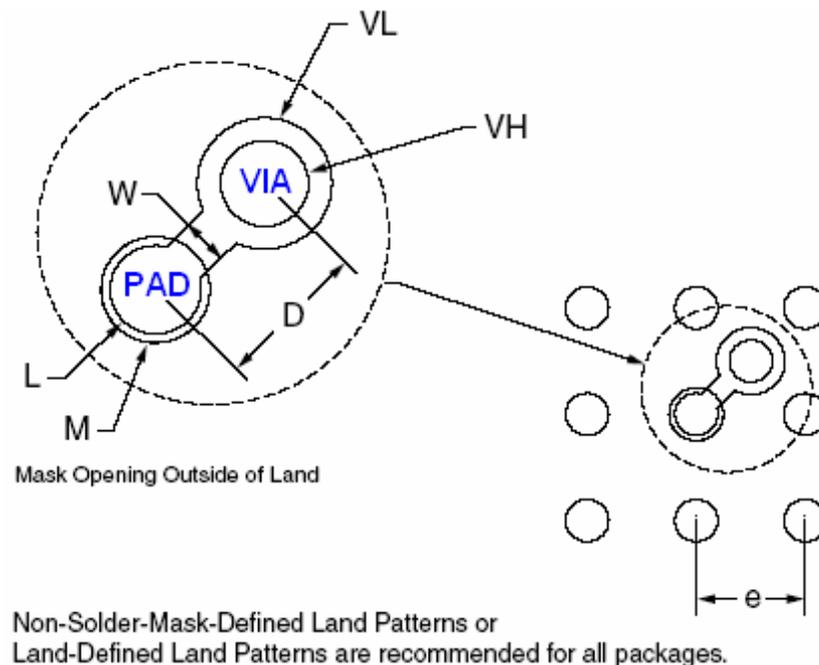
# Reglas de diseño para fabricabilidad.

n Tabla de clases (Lab Circuits).

	<b>Diámetro mínimo taladro FINAL</b> (mm) [mils]	<b>Corona mínima pads EXT.</b> (taladro FINAL) (mm) [mils]	<b>Corona mínima pads INT.</b> (taladro FINAL) (mm) [mils]	<b>Aislamiento mínimo antipads INT.</b> (taladro FINAL) (mm) [mils]	<b>Oversize mínimo máscaras-Cu</b> (mm) [mils]	<b>Ancho mínimo conductor 18µ Cu base</b> (mm) [mils]	<b>Aislamiento mínimo conductores 18µ Cu base</b> (mm) [mils]
<b>CLASE 3</b>	<b>0.7</b> [27]	<b>0.3</b> [12]	<b>0.3</b> [12]	<b>0.6</b> [24]	<b>0.2</b> [12]	<b>0.35</b> [14]	<b>0.35</b> [14]
<b>CLASE 4</b>	<b>0.5</b> [20]	<b>0.25</b> [10]	<b>0.25</b> [10]	<b>0.45</b> [20]	<b>0.15</b> [6]	<b>0.2</b> [8]	<b>0.2</b> [8]
<b>CLASE 5</b>	<b>0.3</b> [12]	<b>0.2</b> [8]	<b>0.2</b> [8]	<b>0.35</b> [16]	<b>0.1</b> [4]	<b>0.15</b> [6]	<b>0.15</b> [6]
						<b>0.12</b> [4,5]	<b>0.12</b> [4,5]
<b>ESQUEMA</b>							

# Reglas de diseño para fabricabilidad (II)

- n Debemos considerar las necesidades de los componentes que forman parte de la placa.
- n Especialmente tendremos en cuenta las necesidades de los componentes BGA, ya que son los que suelen necesitar un mayor grado de integración, es decir, unas restricciones de espaciado más críticas.



# Reglas de diseño para fabricabilidad (III)

- n A partir de los datos de las tablas, podemos determinar que nuestro diseño entra dentro de la **clase 7** del fabricante; es decir, utilizamos la tecnología más compleja en cuanto a fabricación

Característica	FPGA XCV4FX60-10FFG1152 <u>Plastic Flip-Chip BGA</u> (FF1152)	CPLD XCR256XL <u>Fine-Pitch Thin BGA</u> (FT256)	PCIe PLX BGA (PBGA225)
Diámetro del Pad (L)	0.40	0.40	0.71
Separación (e)	1.00	1.00	1.50
Abertura de la máscara de soldadura (M)	0.50	0.50	0.81
Diámetro de la pasta de soldar (P)	0.40	0.40	0.71
Anchura de la línea entre la vía y el Pad (W)	0.13	0.13	0.205
Distancia entre la vía y el pad (D)	0.70	0.70	1.06
Diámetro de la vía (VL)	0.61	0.61	0.67
Diámetro del taladrado de la vía (VH)	0.300	0.300	0.360
Tamaño de la matriz de bolas	16x16	16x16	15x15
Anchura de pistas mínima	0.127	0.127	0.127
Espaciado mínimo entre vías, pads y pistas	0.127	0.127	0.127

---

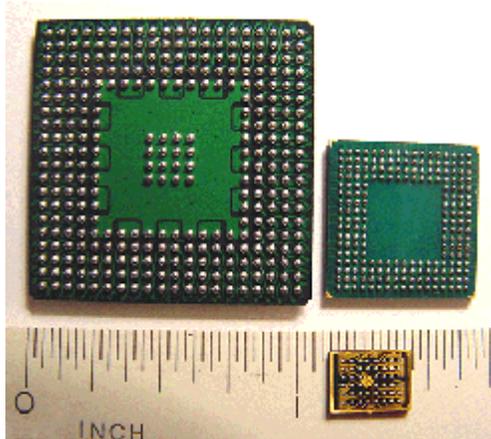
# Técnica de soldadura BGA por reflujo

Rodrigo Agis.

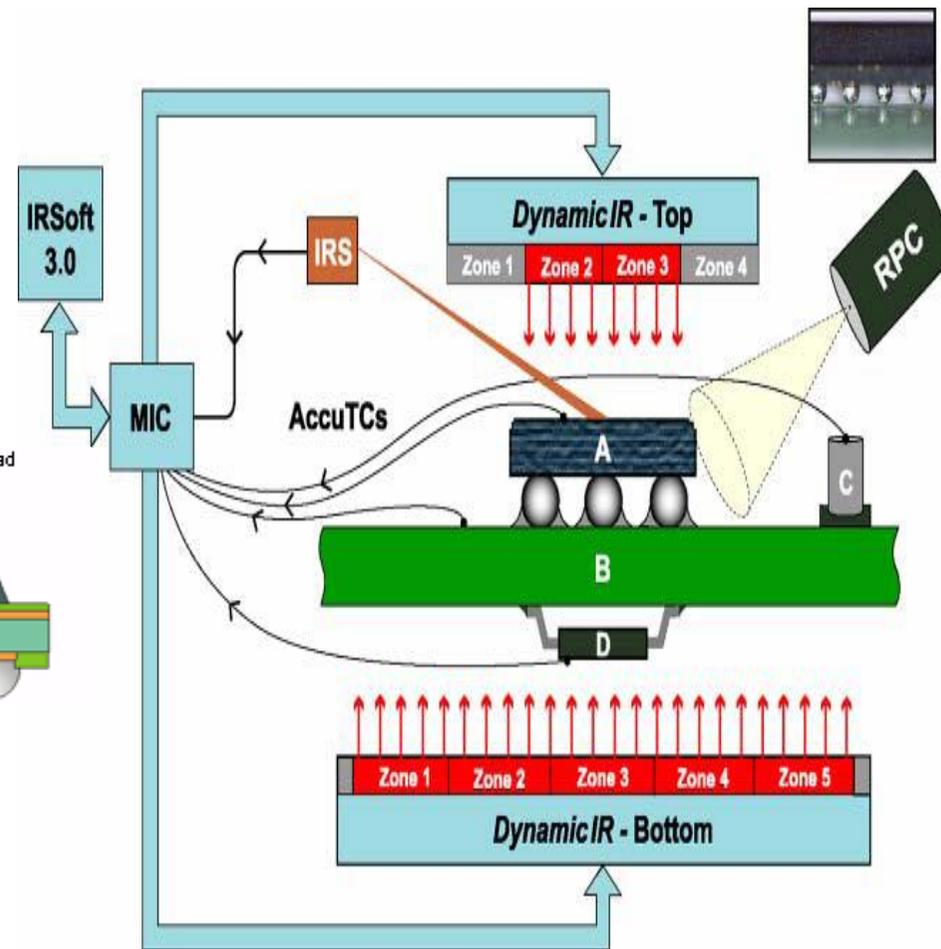
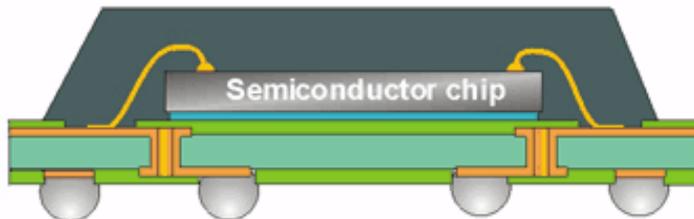
---

# Técnica de soldadura BGA por reflujo (infrarrojos)

Low Cost Soldering Technology  
1993 Technology Group Inc.

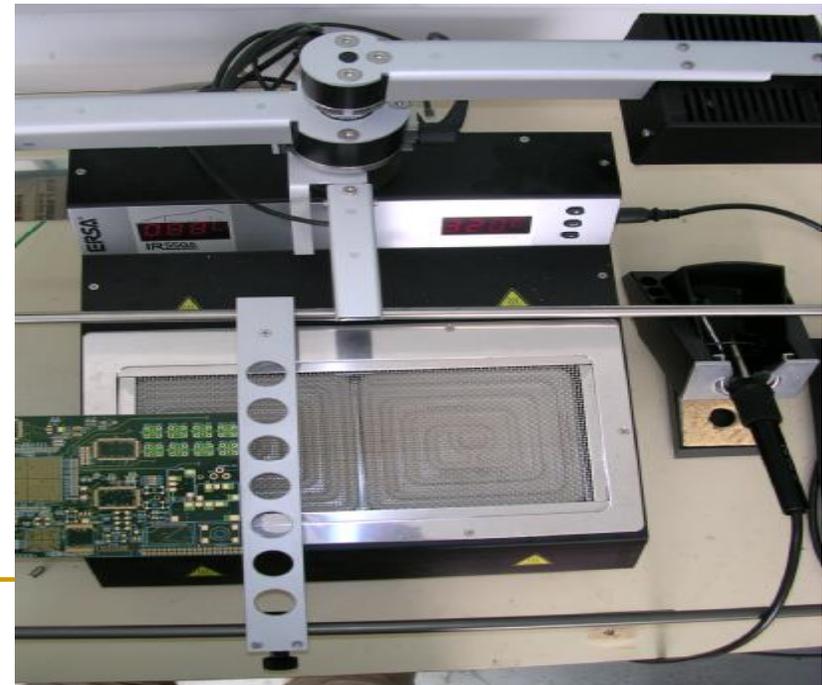
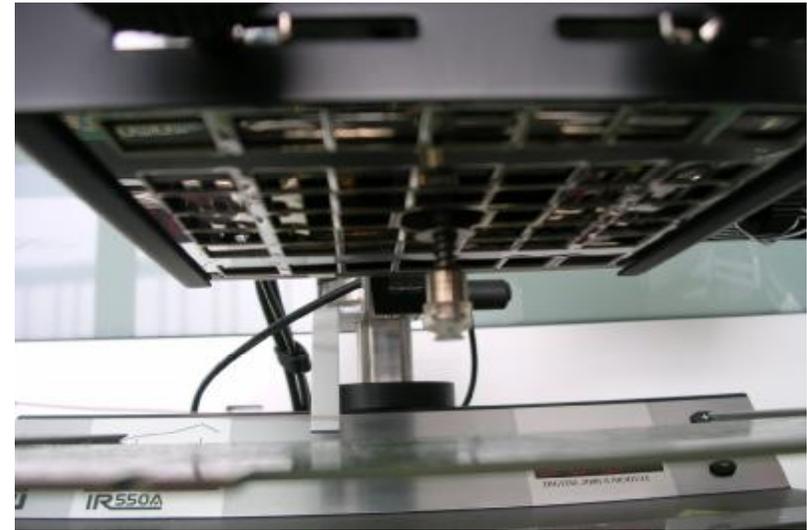
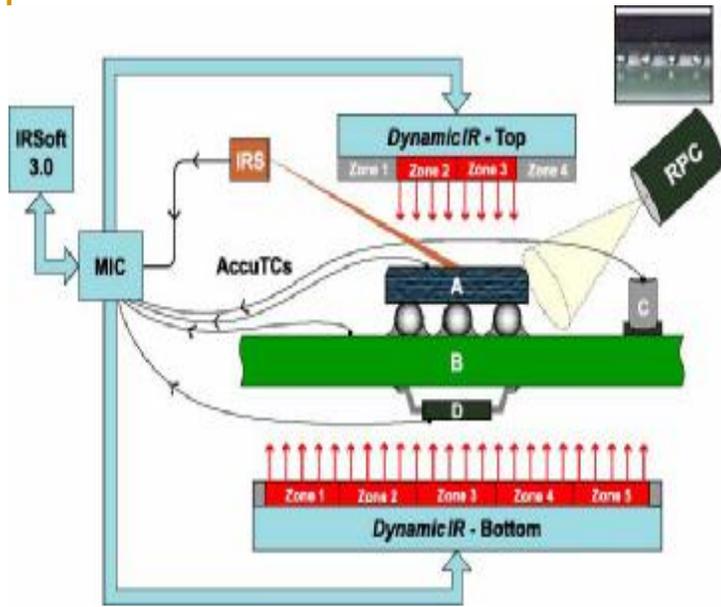


© 2001 Joseph Fjelstad



Top side separation CPU SDU - U2

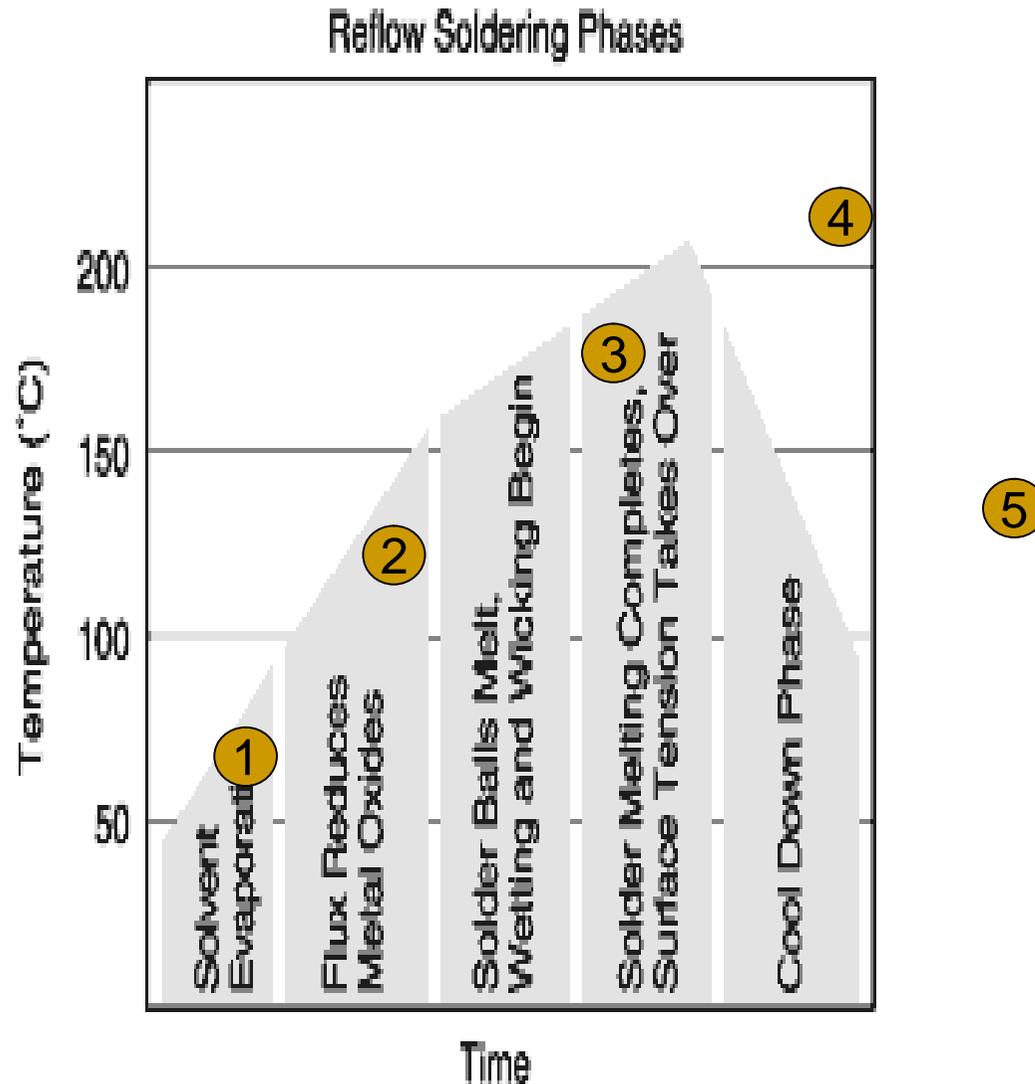
# Técnica de soldadura BGA por reflujo (infrarrojos)



# Técnica de soldadura BGA por reflujo

Definición de curva de temperatura en 5 fases:

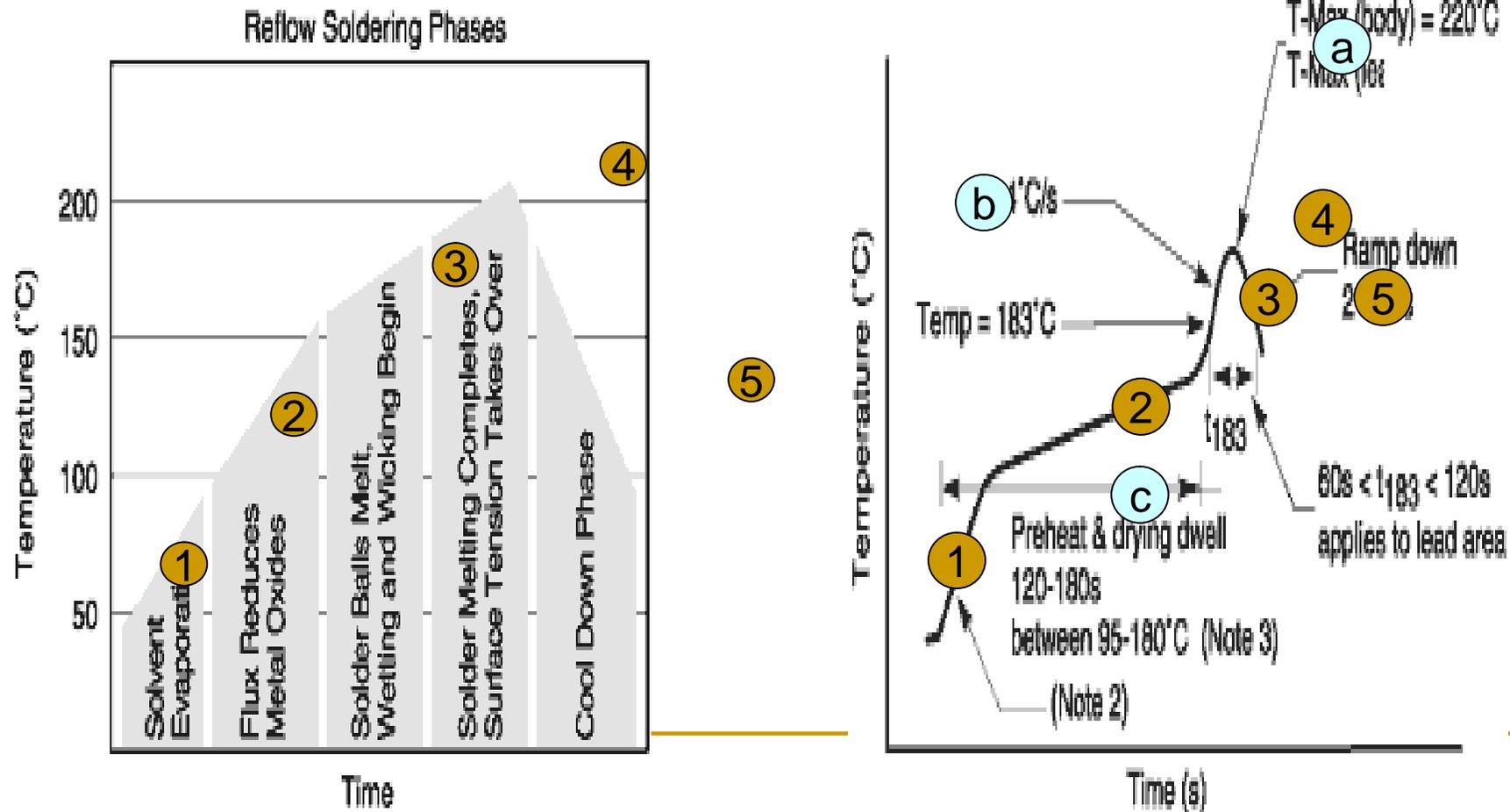
1. Evaporación de disolventes
2. Flux reduce los óxidos metálicos
3. Reblandecido de las bolas de estaño
4. Fluidificación de las bolas mantenidas por la tensión superficial
5. Enfriamiento



# Técnica de soldadura BGA por reflujo

## Caracterización de la curva de soldadura (ejemplo Sn/Pb)

- a. Max T<sup>a</sup> (body) = 220°C, Max T<sup>a</sup> (leads) 205°C
- b. Pre calentamiento paso a líquido 2-4°C/sg
- c. Pre calentamiento de 95° a 180° entre 120 y 180 sg



# Técnica de soldadura BGA por reflujo

## Comparación curvas de temperatura SIN y CON Pb

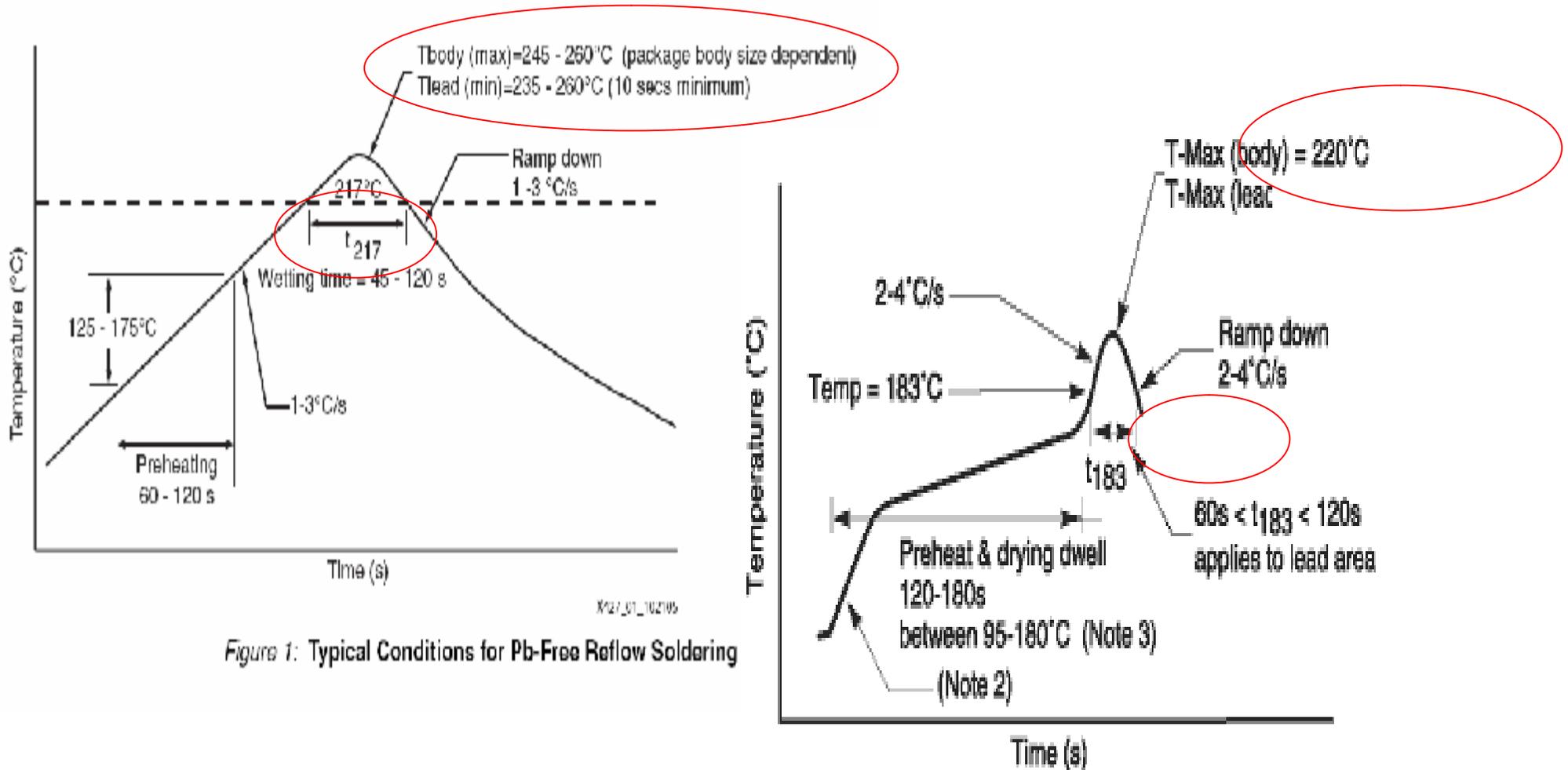
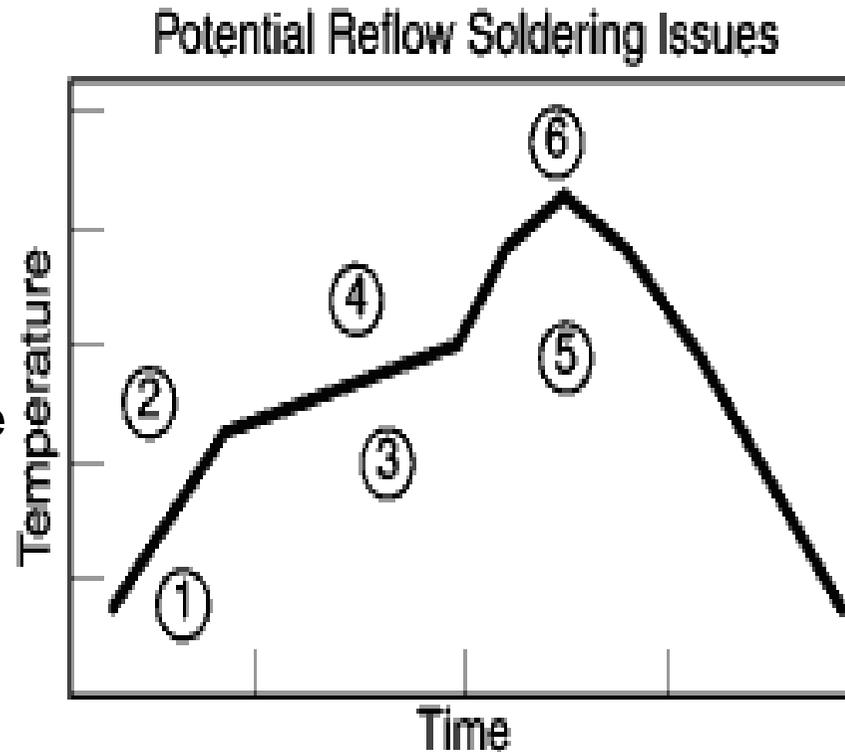


Figure 1: Typical Conditions for Pb-Free Reflow Soldering

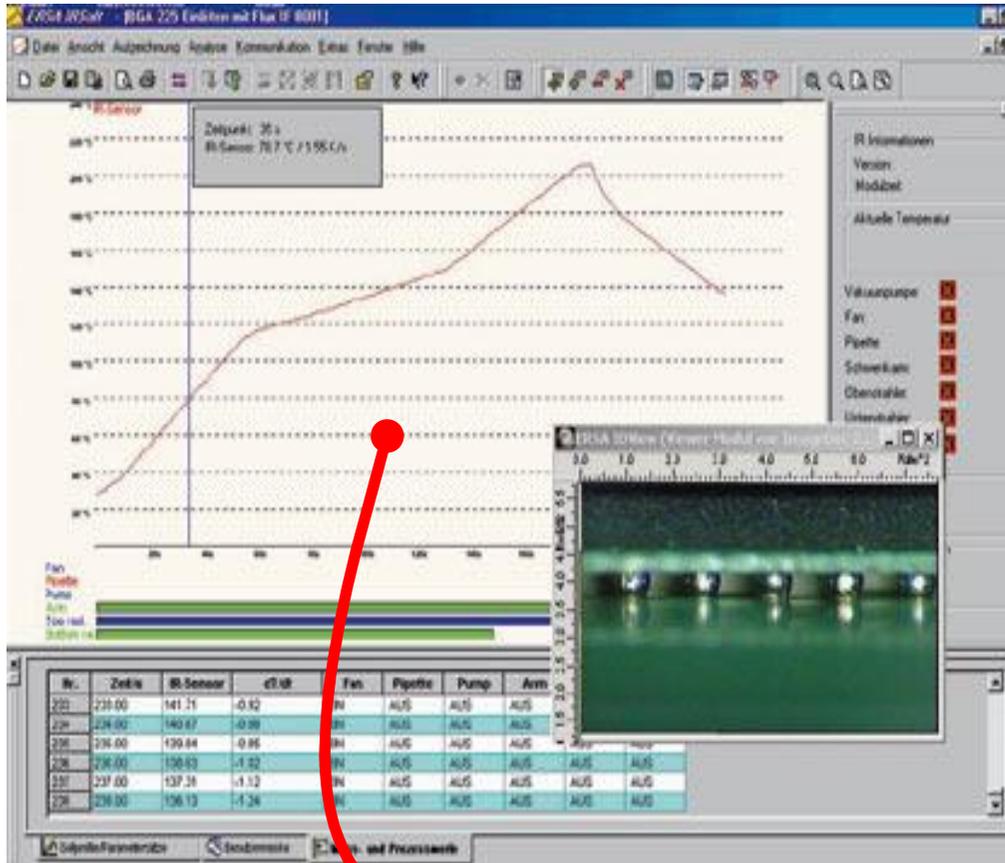
# Técnica de soldadura BGA por reflujo

## Resumen de posibles problemas

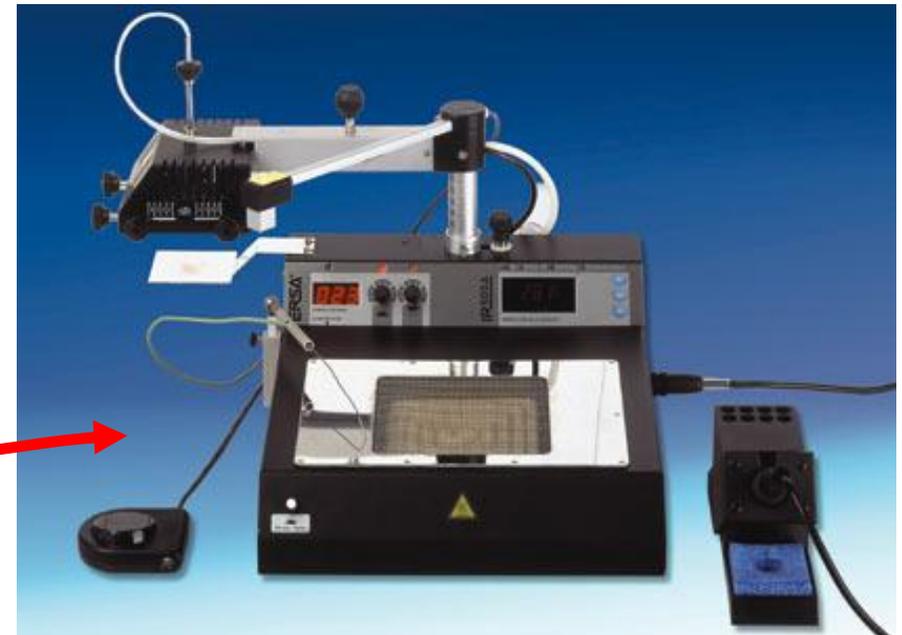
1. Insuficiente temperatura para evaporar disolvente
2. Disolvente evapora demasiado rápido -> Flux salpica
3. Flux no desoxida suficiente
4. Flux desoxida demasiado (ataca metales)
5. "Soldadura fría"
6. Componente o placa dañados



# Técnica de soldadura BGA por reflujo

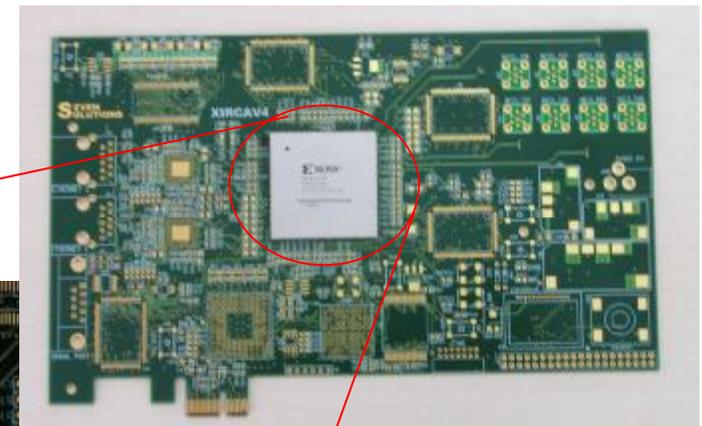
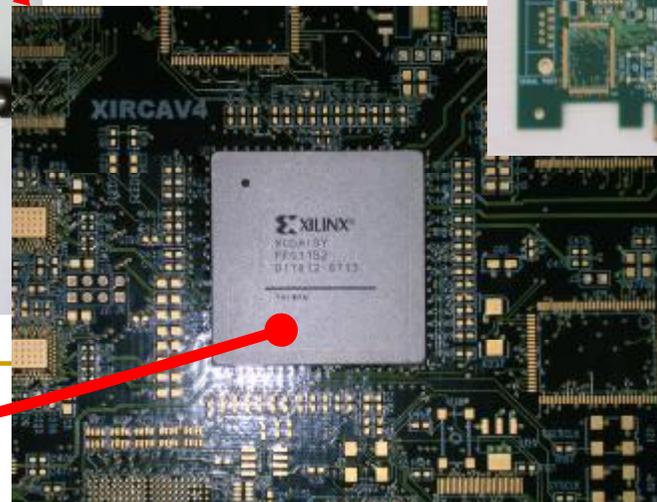
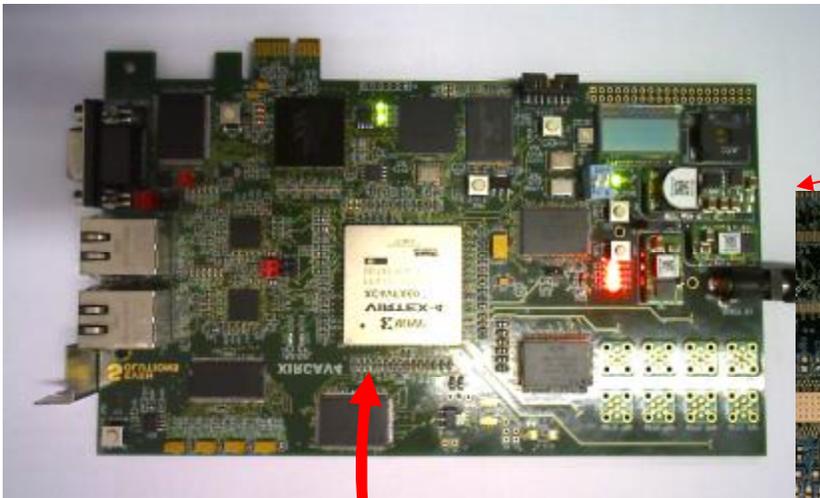


Existe software específico para diseño y control de curvas de temperatura



# Técnica de soldadura BGA por reflujo

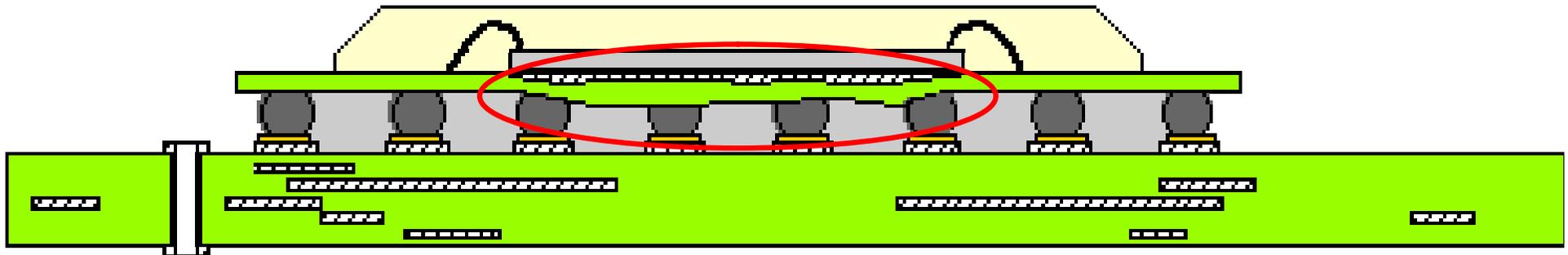
- A pesar de todo, debido a la gran variabilidad térmica que presentan las tarjetas -> **“en la práctica”** hay que **“calibrar”** cada curva de temperatura en la tarjeta que se está soldando.
- Soldamos componentes con costes desde **15-20€** hasta **3000€** a **4500€** por chip.
- **Utilización de “dummy’s”**: Son chips de funcionalidad eléctrica reducida con características mecánicas y térmicas equivalentes a los reales.



# Técnica de soldadura BGA por reflujo

## Control de Humedad

- Los chips BGA han de ser soldados inmediatamente después de ser “desprecintados”
- La humedad afecta negativamente a la soldadura
- La humedad atrapada en las capas laminares del chip genera presión interna y “**delaminación**” del sustrato



---

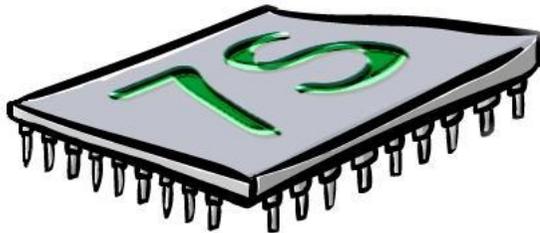
# Técnica de soldadura BGA por reflujo

## Vídeos demostración

- Vídeo demo soldadura por reflujo
  - Vídeo demo “reball”
-

---

# ¿Alguna pregunta?



SEVEN  
SOLUTIONS



*ugr*

Universidad  
de Granada

---

# SA IR/PL 550 A

